



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11312984 A**(43) Date of publication of application: **09.11.99**

(51) Int. Cl.

H03M 13/12
G11B 20/18
G11B 20/18

(21) Application number: **10120163**(22) Date of filing: **30.04.98**(71) Applicant: **HITACHI LTD**

(72) Inventor:
TSUKANO MASAKO
NISHITANI TAKUJI
KIMURA HIROSHI
HIRAI TATSUYA
NARA TAKASHI
MITA SEIICHI

(54) **VITERBI DECODING METHOD, VITERBI DECODER, SIGNAL PROCESSING INTEGRATED CIRCUIT, DATA REPRODUCING DEVICE, MAGNETIC DISK DEVICE, AND INFORMATION PROCESSING SYSTEM**

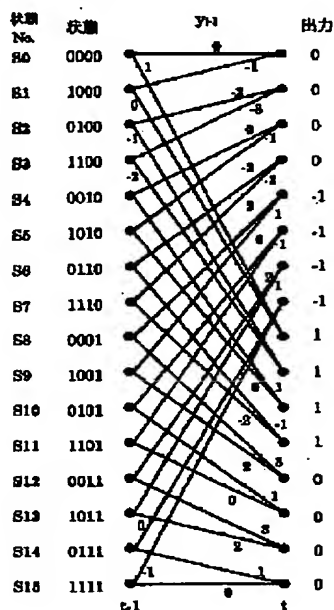
transition from the time $t-1$ to the time (t) . Thus, operation is simplified. Then, the number of comparators is reduced to reduce the circuit scale.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To simplify ACS operation by omitting comparison operation for state transition where likelihood is apparently reduced and surviving path selection operation.

SOLUTION: Comparison operation and surviving path selection operation are not performed for branches where the value of a branch metric B is apparently increased by an input (y) (likelihood is reduced) out of the branches entering each state S in a trellis diagram. For example, in the case of a state 0000 at a time (t) , when the expected values of the two branches transited to a state 1000 at a time $(t-1)$ are -2 and -3 , and are $y_{t-2} \geq 0$, since they are considerably different from an inputted equalization value, the state 1000 apparently exists on an erroneous path. Consequently, the state transition from the state 0000 to the state 0000 is made as a surviving path because the transition from the state 1000 to the state 0000 is an erroneous path in the state



(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 3 1 2 9 8 4

(43) 公開日 平成11年(1999)11月9日

(51) Int. Cl.⁶

H 0 3 M 13/12

G 1 1 B 20/18

識別記号

5 1 2

5 3 4

F I

H 0 3 M 13/12

G 1 1 B 20/18

5 1 2 D

5 3 4 A

審査請求 未請求 請求項の数 1 3

O L

(全 3 1 頁)

(21) 出願番号

特願平10-120163

(22) 出願日

平成10年(1998)4月30日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 塚野 匡子

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72) 発明者 西谷 卓史

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72) 発明者 木村 博

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(74) 代理人 弁理士 有近 紳志郎

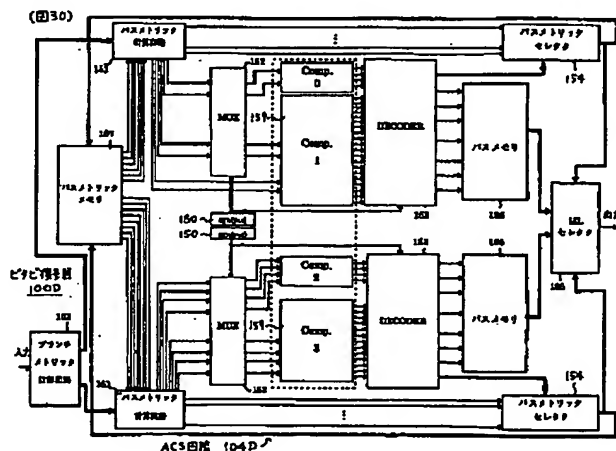
最終頁に続く

(54) 【発明の名称】 ビタビ復号方法、ビタビ復号器、信号処理集積回路、データ再生装置、磁気ディスク装置および情報処理システム

(57) 【要約】

【課題】 ACS 演算を簡略化でき、回路規模を縮減でき、処理速度を向上しうるビタビ復号方法およびビタビ復号器を提供する。

【解決手段】 演算省略とメモリ共通化と演算器共有の手法および 16 / 17 MTR 符号の制約を利用して、比較部 159、パスメモリ 105、パスメトリック・メモリ 107 の回路構成を簡略化する。また、2 サンプリング時刻分の復号を一度に行うことにより、処理を高速化する。



【特許請求の範囲】

【請求項 1】 入力された波形等化値が予め定めた条件を満たすとき、明らかに尤度が低くなる状態遷移に対する比較演算と生き残りパス選択演算とを行わないことを特徴とするビタビ復号方法。

【請求項 2】 入力された波形等化値が予め定めた条件を満たすとき、同じ復号結果をもち且つパスの尤度が大きく異なる状態どうしのパスおよびパスメトリックを共通のメモリに記憶することを特徴とするビタビ復号方法。

【請求項 3】 請求項 1 または請求項 2 に記載のビタビ復号方法において、信号等化方式が EEP R 方式であることを特徴とするビタビ復号方法。

【請求項 4】 複数の比較器を含む ACS 回路を備えたビタビ復号器において、

前記 ACS 回路は、信号等化方式により決まる状態数よりも少ない状態数を比較する個数の比較器を含み、明らかに尤度が低くなる状態遷移に対しては前記比較器を使用しないことを特徴とするビタビ復号器。

【請求項 5】 ACS 回路とパスメモリとを備えたビタビ復号器において、

前記 ACS 回路は、同じ復号結果をもち且つパスの尤度が大きく異なる状態どうしのパスを共通のパスメモリに記憶させるべくパスの出力先を選択する出力先選択器を含むことを特徴とするビタビ復号器。

【請求項 6】 ACS 回路とパスメモリとを備えたビタビ復号器において、

前記 ACS 回路は、パスメトリックに加算する値が等しく且つ実行条件が逆の演算どおしで共通の演算器を使用させるべくパスメトリックの入力先を切り換える入力先切替器を含むことを特徴とするビタビ復号器。

【請求項 7】 請求項 4 から請求項 6 のいずれかに記載のビタビ復号器において、信号等化方式が EEP R 方式であることを特徴とするビタビ復号器。

【請求項 8】 EEP R 方式によって波形等化された波形等化値を入力とし、2 サンプリング時刻分以上の復号を一度に行うことを特徴とするビタビ復号器。

【請求項 9】 信号に重畳された高域ノイズを除去するアナログフィルタと、高域ノイズを除去された信号をデジタル値に変換するアナログ・デジタル変換器と、前記デジタル値を等化させる波形等化器と、その波形等化器の出力に基づいてビタビ復号を行う請求項 4 から請求項 8 のいずれかに記載のビタビ復号器とを、同一半導体基板上に形成したことを特徴とする信号処理集積回路。

【請求項 10】 記録媒体から記録信号を読み出すヘッド部と、請求項 9 に記載の信号処理集積回路とを備えたことを特徴とするデータ再生装置。

【請求項 11】 請求項 10 に記載のデータ再生装置において、記録信号のチャンネル符号として 16/17 MT

R 符号を用いることを特徴とするデータ再生装置。

【請求項 12】 情報処理装置に接続するためのインターフェイスと、前記インターフェイスの入出力を制御するインターフェイス制御回路と、データの受け渡しおよびフォーマット等の制御をするハードディスク・コントローラと、マイコンと、スピンドルモータ回路と、ボイスコイルモータ制御回路と、磁気ディスクと、請求項 10 または請求項 11 に記載のデータ再生装置とを備えたことを特徴とする磁気ディスク装置。

10 【請求項 13】 情報処理装置と、請求項 12 に記載の磁気ディスク装置とを備えたことを特徴とする情報処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ビタビ復号方法、ビタビ復号器、信号処理集積回路、データ再生装置、磁気ディスク装置および情報処理システムに関し、さらに詳しくは、ACS (Add-Compare-Select; 加算比較選択) 演算を簡略化可能とし、回路規模を縮減可能とし、さらに処理速度を向上可能とするビタビ復号方法、

20 ビタビ復号器、信号処理集積回路、データ再生装置、磁気ディスク装置および情報処理システムに関する。

【0002】

【従来の技術】近年、磁気記録再生装置（例えば磁気ディスク装置や磁気テープ装置）において、PR (Partial Response; パーシャルレスポンス) 方式によって波形等化を行い、ML (Maximum Likelihood; 最尤) 復号方式によってデータの検出を行う PRML 方式が着目されている。そして、前記 ML 復号方式によってデータの検出を行うのに、ビタビ復号器が用いられている。

30 【0003】図 33 に、従来のビタビ復号器の一例を示す。このビタビ復号器 100 J は、推定されるパスの部分的尤度を表すブランチメトリックを計算するブランチメトリック計算回路 103 と、前記ブランチメトリックをパスメトリックに加算し比較しパスメトリックが小さいパス（尤度が高いパス）を生き残りパスとして選択する ACS 回路 104 J と、生き残りパスを記憶するパスメモリ 105 J と、最尤パス（最も尤度の高いパス）を復号結果として出力する ML セレクタ 106 とを具備して構成されている。前記 ACS 回路 104 J は、ブランチメトリックをパスメトリックに加算するパスメトリック計算回路 151 J と、パスメトリックを比較する比較部 159 J と、生き残りパスを選択する選択部 153 J と、パスメトリックセレクタ 154 と、パスメトリックメモリ 107 J とを具備して構成されている。前記パスメモリ 105 J と前記パスメトリックメモリ 107 J のレジスタ領域は、信号等化方式の状態数個だけある。

40 【0004】図 34 に、前記 ACS 回路 104 J の詳細を示す。前記パスメトリック計算回路 151 J は、ブランチメトリックをパスメトリックに加算する加算器 15

11を信号等化方式の状態数個だけ含んでおり、信号等化方式の状態数だけのパスメトリックを出力する。前記比較部159Jは、パスメトリックを比較する比較器1591を信号等化方式の状態数個だけ含んでいる。前記選択部153Jは、生き残りパスを選択する生き残りパス選択器1531を信号等化方式の状態数個だけ含んでいる。

【0005】図35に、EPR方式におけるトレリス線図を示す。EPR方式は、 $(1-D)(1+D)^2$ の等化特性をもっている。また、あるサンプリング時刻の信号は、3サンプリング時刻後の信号まで干渉を生じる。したがって、EPR方式の状態数は、8状態である。図36に、EPR方式におけるトレリス線図(状態遷移を時系列的に表したものを)を示す。EPR方式は、 $(1-D)(1+D)^2$ の等化特性をもっている。また、あるサンプリング時刻の信号は、4サンプリング時刻後の信号まで干渉を生じる。したがって、EPR方式の状態数は、16状態である。

【0006】トレリス線図において、各状態には、状態番号 S_i ($i=0, \dots, m-1$; m は状態数)を付している。 t は、サンプリング時刻を表している。各枝には、ターゲット値 Z_t を付している。また、遷移先の状態には、出力値を付している。

【0007】時刻 t における状態 $S_i(t)$ までのユークリッド距離 B の和を状態 S_i のパスメトリック M_{t-1}^i と呼ぶ。ビタビ復号器に信号 y_{t-1} が入力されると、状態 $S_i(t-1)$ から $S_j(t)$ ($j=0, \dots, m-1$)への枝に対応するターゲット値 Z と入力とのユークリッド距離 $B_{t-1}^{i,j}$ を計算する。これをブランチメトリック B と呼ぶ。このブランチメトリック $B_{t-1}^{i,j}$ を、時刻 $(t-1)$ における状態 $S_i(t-1)$ のパスメトリック M_{t-1}^i に加算して、時刻 t の状態 S_j のパスメトリック $M_t^j = M_{t-1}^i + B_{t-1}^{i,j}$ を求める。入力 y_t が2値であることから時刻 t における状態 S_j への遷移は2通り存在するが、それらのうちパスメトリック M が小さい方のパスを尤度の高いパスとして選択する。これを生き残りパスという。以上の処理を各時刻において繰り返し行うのがビタビ復号である。

【0008】EPR方式およびEPR方式のビタビ復号では、状態数および状態遷移を表す枝の数が多いため、演算数が多くなり、また、PR方式の場合と異なり、インターリーブができないため、処理速度も遅くなる。また、ビタビ復号器100Jの構成が複雑になり、回路規模が増大する。

【0009】これに対し、トランスフォームド・トレリス(ACSにおける共通の演算はACSの外に出すことによるトレリスの変換)により計算量を削減し、処理速度の高速化を図る手法が、GLOBECOM'95予稿集のG. Fettweisらの論文"Reduced-complexity Viterbi detector architectures for partial response signalling" (vol. 1.1 of 3)において述べられている。

【0010】

【発明が解決しようとする課題】上述のように、EPR方式およびEPR方式のビタビ復号では、演算数が多くなり、ビタビ復号器の回路規模が増大する。また、処理速度も遅くなる。そこで、本発明の目的は、ACS演算を簡略化可能とし、回路規模を縮減可能とし、さらに処理速度を向上可能とするビタビ復号方法、ビタビ復号器、集積回路、データ再生装置、磁気ディスク装置および情報処理システムを提供することにある。

【0011】

【課題を解決するための手段】第1の観点では、本発明は、入力された波形等化値が予め定めた条件を満たすとき、明らかに尤度が低くなる状態遷移に対する比較演算と生き残りパス選択演算とを行わないことを特徴とするビタビ復号方法を提供する。上記第1の観点によるビタビ復号方法では、明らかに尤度が低くなる状態遷移に対する比較演算と生き残りパス選択演算とを行わないので、ACS演算を簡略化することが出来る。

【0012】第2の観点では、本発明は、入力された波形等化値が予め定めた条件を満たすとき、同じ復号結果をもち且つパスの尤度が大きく異なる状態どうしのパスおよびパスメトリックを共通のメモリに記憶することを特徴とするビタビ復号方法を提供する。上記第2の観点によるビタビ復号方法では、同じ復号結果をもち且つパスの尤度が大きく異なる状態どうしのパスおよびパスメトリックを共通のメモリに記憶するので、メモリを節減でき、回路規模を縮減することが出来る。

【0013】第3の観点では、本発明は、上記構成のビタビ復号方法において、信号等化方式がEPR方式であることを特徴とするビタビ復号方法を提供する。EPR方式では、16状態あるため、回路規模が大きくなり、コストや消費電力の面で実用化に問題があったが、上記第1の観点および/または上記第2の観点のビタビ復号方法を適用することによって回路規模を縮減でき、実用化可能となる。

【0014】第4の観点では、本発明は、複数の比較器を含むACS回路を備えたビタビ復号器において、前記ACS回路は、信号等化方式により決まる状態数よりも少ない状態数を比較する個数の比較器を含み、明らかに尤度が低くなる状態遷移に対しては前記比較器を使用しないことを特徴とするビタビ復号器を提供する。上記第4の観点のビタビ復号器では、上記第1の観点のビタビ復号方法を好適に実施でき、比較器を節減できるため、回路規模を縮減できる。

【0015】第5の観点では、本発明は、ACS回路とパスメモリとを備えたビタビ復号器において、前記ACS回路は、同じ復号結果をもち且つパスの尤度が大きく異なる状態どうしのパスを共通のパスメモリに記憶させるべくパスの出力先を選択する出力先選択器を含むことを特徴とするビタビ復号器を提供する。上記第5の観点

のビタビ復号器では、上記第2の観点のビタビ復号方法を好適に実施でき、メモリを節減できるため、回路規模を縮減できる。

【0016】第6の観点では、本発明は、ACS回路とバスメトリックとを備えたビタビ復号器において、前記ACS回路は、バスメトリックに加算する値が等しく且つ実行条件が逆の演算どおしで共通の演算器を使用させるべくバスメトリックの入力先を切り換える入力先切換器を含むことを特徴とするビタビ復号器。上記第6の観点のビタビ復号器では、演算器を節減できるため、回路規模を縮減できる。

【0017】第7の観点では、本発明は、上記構成のビタビ復号器において、信号等化方式がEPR方式であることを特徴とするビタビ復号器を提供する。EPR方式では、16状態あるため、回路規模が大きくなり、コストや消費電力の点で実用化に問題があったが、上記第4から第6の観点のビタビ復号器を適用することによって回路規模を縮減でき、実用化可能となる。

【0018】第8の観点では、本発明は、EPR方式によって波形等化された波形等化値を入力とし、2サンプリング時刻分以上の復号を一度に行うことを特徴とするビタビ復号器を提供する。EPR方式では、16状態あるため、演算に時間がかかり、処理時間の点で実用化に問題があったが、上記第8の観点のビタビ復号器では、2サンプリング時刻分以上の復号を一度に行うため、処理速度を向上でき、実用化可能となる。

【0019】第9の観点では、本発明は、信号に重畳された高域ノイズを除去するアナログフィルタと、高域ノイズを除去された信号をディジタル値に変換するアナログ・ディジタル変換器と、前記ディジタル値を等化させる波形等化器と、その波形等化器の出力に基づいてビタビ復号を行う上記第4から第8の観点のいずれかのビタビ復号器とを、同一半導体基板上に形成したことを特徴とする集積回路を提供する。上記第9の観点の集積回路では、上記第4から第8の観点のいずれかのビタビ復号器を含んでいるため、磁気記憶再生装置に好適に利用できる。

【0020】第10の観点では、本発明は、記録媒体から記録信号を読み出すヘッド部と、請求項9に記載の集積回路とを備えたことを特徴とするデータ再生装置を提供する。上記第10の観点のデータ再生装置では、上記第9の観点の集積回路を用いるため、磁気記憶再生装置に好適に利用できる。

【0021】第11の観点では、本発明は、上記構成のデータ再生装置において、記録信号のチャンネル符号として16/17MTR符号を用いることを特徴とするデータ再生装置を提供する。上記第11の観点のデータ再生装置では、上記第9の観点の集積回路を用いるため、磁気記憶再生装置に好適に利用できる。また、16/17MTR符号は、高密度記録化に適している。よって、高

密度記録の磁気記憶再生装置に好適に利用できる。

【0022】第12の観点では、本発明は、情報処理装置に接続するためのインターフェイスと、前記インターフェイスの入出力を制御するインターフェイス制御回路と、データの受け渡しおよびフォーマット等の制御をするハードディスク・コントローラと、マイコンと、スピンドルモータ回路と、ボイスコイルモータ制御回路と、磁気ディスクと、請求項10または請求項11に記載のデータ再生装置とを備えたことを特徴とする磁気ディスク装置を提供する。上記第12の観点の磁気ディスク装置では、上記第10または第11の観点のデータ再生装置を用いるため、回路規模を縮減でき、また、処理速度を向上できる。

【0023】第13の観点では、本発明は、情報処理装置と、請求項12に記載の磁気ディスク装置とを備えたことを特徴とする情報処理システムを提供する。上記第13の観点の情報処理システムでは、上記第12の観点の磁気ディスク装置を用いるため、回路規模を縮減でき、また、処理速度を向上できる。

【0024】

【発明の実施の形態】以下、本発明の実施形態について図を参照して説明する。なお、これにより本発明が限定されるものではない。

【0025】—第1の実施形態—

図1に、本発明の第1の実施形態にかかるビタビ復号器を示す。このビタビ復号器100Aは、推定されるパスの部分的尤度を表すブランチメトリックを計算するブランチメトリック計算回路103と、前記ブランチメトリックをバスメトリックに加算し比較しバスメトリックが小さいパス（尤度が高いパス）を生き残りパスとして選択するACS回路104Aと、生き残りパスを記憶するバスメモリ105と、最尤パス（最も尤度の高いパス）を復号結果として出力するMLセクタ106とを具備して構成されている。前記ACS回路104Aは、ブランチメトリックをバスメトリックに加算するバスメトリック計算回路151と、1サンプリング時刻前の入力値 y_{t-2} の符号を出力する符号出力器150と、バスメトリックに加算する値が等しく且つ実行条件が逆の演算どおしで共通の演算器（図2の比較器1591）を使用させるべく前記符号に応じてバスメトリックの入力先を切り換える入力先切換器152と、バスメトリックを比較する比較部159と、生き残りパスを選択する選択部153と、バスメトリックセクタ154と、バスメトリックメモリ107とを具備して構成されている。前記バスメモリ105と前記バスメトリックメモリ107のレジスタ領域は、信号等化方式の状態数より少ない個数である。例えば、EPR方式なら状態数は16個であるが、レジスタ領域は14個である。

【0026】図2に、前記ACS回路104Aの詳細を示す。前記バスメトリック計算回路151は、ブランチ

メトリックを1サンプリング時刻前のパスメトリックに加算する加算器1511を信号等化方式の状態数個だけ含んでいる。ただし、出力するパスメトリック数は、信号等化方式の状態数より少ない個数である。例えば、EEPR方式なら状態数は16個であるが、出力するパスメトリック数は14個である。前記比較部159は、パスメトリックを比較する比較器1591を信号等化方式の状態数より少ない状態数を比較する個数だけ含んでいる。例えば、例えば、EEPR方式なら状態数は16個であり、本来____個の比較器が必要であるが、比較器1591の個数は____個である。前記選択部153は、生き残りパスを選択する生き残りパス選択器1531を信号等化方式の状態数より少ない個数だけ含んでいる。例えば、EEPR方式なら状態数は16個であるが、生き残りパス選択器1531の個数は10個である。また、前記選択部153は、同じ復号結果をもち且つパスの尤度が大きく異なる状態どうしのパスを共通のパスメトリック107のレジスタ領域に記憶するように生き残りパスの出力先を選択する出力先選択器1532を含んでいる。

【0027】図35に示すEEPR方式のトレリス線図に基づいてビタビ復号器を構成すると、比較器1591および生き残りパス選択器1531がそれぞれ16個必要となる。また、各状態Sのもつ推定結果を格納するパスメトリック105やパスメトリックメモリ107のレジスタ領域がそれぞれ16個必要となる。ところが、上記ビタビ復号器100AのACS回路104Aでは、比較器1591やパスメトリック105などの個数が少なくなっている。これは、次に説明する演算省略、メモリ共通化および演算器共有の手法によって簡略化したためである。

【0028】演算省略：トレリス線図において各状態Sへ入る枝のうち、入力yによって明らかにブランチメトリックBの値が大きくなるもの（尤度が低くなるもの）は、比較演算と生き残りパス選択演算を行わない。図3のトレリス線図において、例えば、時刻tでの状態0000で考える。時刻(t-1)の状態1000へと遷移してくる2本の枝の期待値は、“-2”と“-3”であり、 $y_{t-2} \geq 0$ であったとすると、入力された等化値と大きく異なるため、明らかに状態1000は誤ったパス上に存在する。従って、時刻(t-1)から時刻tへの状態遷移において状態1000→0000の遷移は誤ったパスとなるので、状態0000→0000を生き残りパスとする。これによって、演算を簡略化できる。すなわち、比較器1591を節減でき、回路規模を縮減できる。なお、 $y_{t-2} < 0$ であった場合には、状態0000→0000と状態1000→0000のACS演算をする必要がある。

【0029】メモリ共通化：同じ復号結果をもち且つパスの尤度が大きく異なる状態どうしのパスおよびパスメトリックを共通のメモリに記憶する。復号結果が同じで且つブランチメトリックBの値が大きく異なる状態Sど

うしは、一方の状態Sが尤度の高い生き残りパス上に存在すれば、他方の状態Sは誤ったパス上に存在する。したがって、ブランチメトリックBの値が大きく異なる状態のうちでメトリックの小さい状態を残せばよい。例えば、図4のトレリス線図において、時刻tにおける状態0011と状態1100はパスメトリック105とパスメトリック・メモリ107を共通化できる。すなわち、状態0011と状態1100の出力は“0”で同じである。一方、状態0011に遷移してくる枝の期待値は“3”と“2”であり、状態1100へ遷移してくる枝の期待値は“-2”と“-3”であり、大きく異なる。したがって、等化値が正であれば状態0011の演算を行い、負であれば状態1100の演算を行えばよく、この2つの状態のパスメトリック105とパスメトリック・メモリ107を共通化できる。同様に、時刻tにおける状態0111と状態1000はパスメトリック105とパスメトリック・メモリ107を共通化できる。すなわち、状態0111と状態1000の出力は“0”で同じである。一方、状態0111に遷移してくる枝の期待値は“3”と“2”であり、状態1000へ遷移してくる枝の期待値は“-2”と“-3”であり、大きく異なる。したがって、等化値が正であれば状態0111の演算を行い、負であれば状態1000の演算を行えばよく、この2つの状態のパスメトリック105とパスメトリック・メモリ107を共通化できる。そして、パスメトリック105とパスメトリック・メモリ107の共通化により、レジスタ領域を節減できる。なお、出力先を選択するための出力先選択器1532が新たに必要になるが、トータルでは回路規模を縮減できる。

【0030】演算器共有：図5は、ACS演算の枝を示す図表である。M(…)は、()内の状態のパスメトリックを表す。それに加算されている定数は、図4のトレリスの各枝に残った定数値に対応している。図4において、状態0000の実線部と状態1111の破線部とを比べると共に状態0000の破線部と状態1111の実線部とを比べると、演算が完全に対称になっている（入力に加算する定数が等しく且つ実行条件が逆になっている）。同様に、図4において、矢印で結んだ状態どうしの演算は、完全に対称となっている。これらの演算が対称な状態どうし（入力に加算する定数が等しく且つ実行条件が逆の演算どおし）は、入力（パスメトリック）を変えれば、同一の演算器を使用できる。すなわち、場合分けの条件により、演算器を共有でき、2状態分のACSを簡略化できる。

【0031】以上のように、第1の実施形態にかかるビタビ復号器100Aによれば、演算省略とメモリ共通化と演算器共有の手法により、ACS演算を簡略化でき、回路規模を縮減でき、消費電力を節減できる。

【0032】—第2の実施形態—

図6に、本発明の第2の実施形態にかかるビタビ復号器

を示す。このビタビ復号器100Bは、ブランチメトリック計算回路103と、ACS回路104Bと、パスメモリ105と、MLセクタ106とを具備して構成されている。前記ACS回路104Bは、パスメトリック計算回路151と、1サンプリング時刻前の入力値 y_{t-2} の符号を出力する符号出力器150と、2サンプリング時刻前の入力値 y_{t-3} の符号を出力する符号出力器160と、前記符号に応じてパスメトリックの入力先を切り換える入力先切換器152と、パスメトリックを比較する比較部159と、生き残りパスを選択する選択部153と、パスメトリックセクタ154と、パスメトリックメモリ107とを具備して構成されている。前記パスメモリ105と前記パスメトリックメモリ107のレジスタ領域は、前記メモリ共通化により、信号等化方式の状態数より少ない個数である。例えば、EEP方式なら状態数は16個であるが、レジスタ領域は14個である。

【0033】前記パスメトリック計算回路151から出力するパスメトリック数は、信号等化方式の状態数より少ない個数である。例えば、EEP方式なら状態数は16個であるが、出力するパスメトリック数は14個である。前記比較部159は、前記演算省略および前記演算器共有の手法により、信号等化方式の状態数より少な*

$$\max(a+c; b+c) = \max(a; b) + c$$

【0036】変形の見通しを良くするため、(数1)中の代数的な加算を「○中に×」の演算子で表わし、最大値の選択を「○中に+」の演算子で表わして、(数1)※

$$a \otimes c \oplus b \otimes c = (a \oplus b) \otimes c$$

【0037】図7の上側の加算と最大値の選択は、上記分配則を用いることにより、下側の加算と最大値の選択のようになり、aをACSの外に出すことが出来る。なお、図7で、値のある矢印は、その値と入力の加算を意味する。また、値の無い矢印は、入力そのまま送られる。

【0038】次に、図8に示す2状態トレリスを変換する。図8の(a)のトレリスからaとcを左にシフトすると、図8の(b)のトレリスとなる。次に、上記分配則を用いて $(-a+b)$ を右にシフトすると、図8の(c)のトレリスとなる。図8の(c)のトレリスが連続すると、cの加算と $(-a+b)$ の加算は一度の加算として行える。このため、図8の(a)のトレリスでは必要な加算が4回であるが、図8の(c)のトレリスでは必要な加算が3回に減る。

【0039】図8の(a)から(c)への変換は、線形代数で表現すると、次の(数3)になる。(数3)の右辺が図8の(a)を表し、左辺が図8の(c)を表す。また、左辺の前側の対角行列が右側への加算のシフトを、後側の対角行列が左側への加算のシフトを表す。

*い状態数を比較する個数だけ比較器(1591)を含んでいる。例えば、EEP方式の16状態のときは、本来80個の比較器が必要であるが、比較器(1591)の個数は41個である。前記選択部153は、生き残りパス選択器(1531)を信号等化方式の状態数より少ない個数だけ含んでいる。例えば、EEP方式なら状態数は16個であるが、生き残りパス選択器(1531)の個数は14個である。また、前記選択部153は、前記メモリ共通化に対応して出力先選択器(1532)を含んでいる。

【0034】上記ビタビ復号器100Bは、2サンプリング時刻分の復号を一度に行うことにより処理速度を高速化し、且つ、第1の実施形態で説明した簡略化手法を適用することにより回路規模を縮減している。次に、{2サンプリング時刻分の復号を一度に行う原理}と{簡略化手法の適用}を説明する。

【0035】{2サンプリング時刻分の復号を一度に行う原理}まず、前述したFettweisらによるトランスフォームド・トレリスにより、等化値を用いた演算をACS演算の外に出す方法を説明する。ACSにおける加算と最大値の選択では、次の分配則が成り立つ。

【数1】

(1)

※を書き換えると、次式となる。

【数2】

(2)

【数3】

$$\begin{bmatrix} a & c \\ b & d \end{bmatrix} = \begin{bmatrix} I & \\ & -a+b \end{bmatrix} \otimes \begin{bmatrix} I & \\ & a-b-c+d \end{bmatrix} \otimes \begin{bmatrix} a & \\ & c \end{bmatrix} \quad (3)$$

【0040】図9に示す基本ACSにおいてCが定数の場合を考えると、演算は非常に簡単になる。例えば、 $C > 0$ の場合、(数4)のようになり、M0とM1の比較およびM0とM1+Cの比較だけでパスが決定される。

【数4】

$$\begin{array}{ll} M0-M1 < 0 \text{ のとき} & M0' = M1, M1' = M1+C \\ 0 \leq M0-M1 < C \text{ のとき} & M0' = M0, M1' = M1+C \\ C \leq M0-M1 \text{ のとき} & M0' = M0, M1' = M0 \end{array} \quad (4)$$

【0041】上記のように、トランスフォームド・トレリスを使うと、全体としての加算演算が減り、演算も簡単になるため、回路規模は約1/2なる。しかし、各パスに着目すると、図8の(a)ではどのパスでも加算は1回で済むが、図8の(c)ではクリティカルパス(最も加算回数の多いパス)での加算が2回になり、1回増加する。このため、ACS演算の速度はあまり向上しない。

【0042】そこで、処理の高速化を図るため、2段のトレリスを1段にまとめることを考える。図10の2段のEEPRトレリスを、(数2)に従って表現すると、次の(数5)のようになる。ここに、 $[M_t]$ は、時刻 t における各ノードのメトリック値からなるベクトルである。また、 $[A_{t-2}]$ は、 16×16 の行列であり、 (i, j) 要素は時刻 $(t-2)$ の i 番目のノードから時刻 t の j 番目のノードへのパスにおけるメトリックの、ステージ $(t-2)$ の等化値による表現である。同様に、 $[A_{t-1}]$ は、ステージ $(t-1)$ の等化値による表現である。また、 $[M_{t-2}]$ は、時刻 $(t-2)$ における各ノードのメトリック値からなるベクトルである。また、「+」の演算子は重ね合わせを表している。

$$\begin{cases} m_1 = -2y_{t-2} + 1 \\ m_2 = -4y_{t-2} + 4 \\ m_3 = -6y_{t-2} + 9 \\ m_{-1} = 2y_{t-2} + 1 \\ m_{-2} = 4y_{t-2} + 4 \\ m_{-3} = 6y_{t-2} + 9 \end{cases}$$

【0045】変換前のACS演算は、次のように表わされる。ここに、 $[M_t]$ は、時刻 t における状態ノードのメトリックからなるベクトルである。また、

$[A_{t-2}]$ は、時刻 $(t-2)$ のブランチメトリック B *

$$[M_t] = [A_{t-2}] \otimes [M_{t-2}]$$

(7)

【0046】(数7)の $[A_{t-2}]$ は次の 16×16 行列である。

※

$$[A_{t-2}] = \begin{bmatrix} 0 & m_{-1} & m_{-2} & m_{-3} & & & & \\ & & & 0 & m_{-1} & m_{-2} & m_{-3} & \\ & & & & & & & m_2 & m_1 & 0 & m_{-1} \\ & & & & & & & & & m_2 & m_1 & 0 & m_{-1} \\ m_1 & 0 & m_{-1} & m_{-2} & & & & & & & & & \\ & & & m_1 & 0 & m_{-1} & m_{-2} & & & & & & \\ & & & & & & m_3 & m_2 & m_1 & 0 & & & \\ & & & & & & & & & m_3 & m_2 & m_1 & 0 \\ 0 & m_{-1} & m_{-2} & m_{-3} & & & & & & & & & \\ & & & 0 & m_{-1} & m_{-2} & m_{-3} & & & & & & \\ & & & & & & & m_2 & m_1 & 0 & m_{-1} & & \\ & & & & & & & & & m_2 & m_1 & 0 & m_{-1} \\ m_1 & 0 & m_{-1} & m_{-2} & & & & & & & & & \\ & & & m_1 & 0 & m_{-1} & m_{-2} & & & & & & \\ & & & & & & m_3 & m_2 & m_1 & 0 & & & \\ & & & & & & & & & m_3 & m_2 & m_1 & 0 \end{bmatrix}$$

(8)

【0047】ブランチメトリック B には、次の関係がある。

$$m_2 = 2m_1 + 2$$

$$m_3 = m_1 + m_2 + 4$$

$$m_{-2} = 2m_{-1} + 2$$

★

$$[M_t] = [A_{t-2}] \otimes [B_{t-2}] \otimes [M_{t-2}]$$

(9)

【0048】ここに、 $[A_{t-2}]$ は、(数10)のよう

50

【数5】

$$[M_t] = ([A_{t-2}] + [A_{t-1}]) \otimes [M_{t-2}] \quad (5)$$

【0043】(数5)から、メトリックの計算は、ステージ $(t-2)$ に対する計算と、ステージ $(t-1)$ に対する計算とを、独立に処理しても良いことが分かる。そこで、各ステージのメトリックに対してトランスフォームド・トレリスを適用し、その後で両方をまとめることにする。

【0044】まず、ステージ $(t-2)$ に対する計算について、パスメトリックを次のように表わし、ACS演算を変形してゆく。

【数6】

(6)

20 * からなる行列である。また、 $[M_{t-2}]$ は、時刻 $(t-2)$ における状態ノードのメトリックからなるベクトルである。

【数7】

※【数8】

★ $m_{-3} = m_{-1} + m_{-2} + 4$

この関係を利用して列方向に共通な演算を(比較-選択)演算の後に出すと、次のようになる。

【数9】

$$[A_{i-2}] = \begin{bmatrix} 0 & m_{-1} & m_{-1} + 2 & m_{-1} + 4 & & & & & & & \\ & & & 0 & m_{-1} & m_{-1} + 2 & m_{-1} + 4 & & & & \\ & & & & & & 0 & 0 & 0 & m_{-1} & \\ & m_1 & 0 & 0 & 0 & & & & & 0 & 0 & 0 & m_{-1} \\ & & & & m_1 & 0 & 0 & 0 & & & & & \\ & & & & & & m_1 + 4 & m_1 + 2 & m_1 & 0 & & & \\ 0 & m_{-1} & m_{-1} + 2 & m_{-1} + 4 & & & & & & m_1 + 4 & m_1 + 2 & m_1 & 0 \\ & & & 0 & m_{-1} & m_{-1} + 2 & m_{-1} + 4 & & & & & & \\ & & & & & & 0 & 0 & 0 & m_{-1} & & & \\ & m_1 & 0 & 0 & 0 & & & & & 0 & 0 & 0 & m_{-1} \\ & & & & m_1 & 0 & 0 & 0 & & & & & \\ & & & & & & m_1 + 4 & m_1 + 2 & m_1 & 0 & & & \\ & & & & & & & & m_1 + 4 & m_1 + 2 & m_1 & 0 \end{bmatrix} \quad (10)$$
$$\text{diag}[B_{l-2}] = [0 \ 0 \ m_{-1} \ m_{-2} \ 0 \ 0 \ m_{-1} \ m_{-2} \ m_2 \ m_1 \ 0 \ 0 \ m_2 \ m_1 \ 0 \ 0]^T \quad (11)$$
$$[M_t] = [C_{t-2}] \otimes [A_{t-2}] \otimes [B_{t-2}] [M_{t-2}] \quad (12)$$
$$[A_{t-2}] = \begin{bmatrix} m_1 - 2 & 0 & 2 & 4 & & & & \\ & m_1 - 2 & 0 & 2 & 4 & & & \\ & & 0 & 0 & 0 & m_{-1} & & \\ & & & 0 & 0 & 0 & m_{-1} & \\ m_1 & 0 & 0 & 0 & & & & \\ & m_1 & 0 & 0 & 0 & & & \\ & & 4 & 2 & 0 & m_{-1} - 2 & & \\ & & & 4 & 2 & 0 & m_{-1} - 2 & \\ m_1 - 2 & 0 & 2 & 4 & & & & \\ & m_1 - 2 & 0 & 2 & 4 & & & \\ & & 0 & 0 & 0 & m_{-1} & & \\ & & & 0 & 0 & 0 & m_{-1} & \\ m_1 & 0 & 0 & 0 & & & & \\ & m_1 & 0 & 0 & 0 & & & \\ & & 4 & 2 & 0 & m_{-1} - 2 & & \\ & & & 4 & 2 & 0 & m_{-1} - 2 & \end{bmatrix} \quad (13)$$
$$\text{diag}[C_{l-2}] = [m_{-1} \ m_{-1} \ 0 \ 0 \ 0 \ 0 \ m_1 \ m_1 \ m_{-1} \ m_{-1} \ 0 \ 0 \ 0 \ 0 \ m_1 \ m_1]^T \quad (14)$$

【0053】さらにもう一度、列方向に共通な演算を 5) のように変化する。
(比較一選択) 演算の前に出すと、 $[A_{t-2}]$ は (数1 50 【数15】

$$[A_{t-2}] = \begin{bmatrix} -2 & 0 & 2 & 4 & & & & & & & & & & & & \\ & & & & -2 & 0 & 2 & 4 & & & & & & & & \\ & & & & & & & & 0 & 0 & 0 & 0 & & & & \\ & & & & & & & & & & & & 0 & 0 & 0 & 0 \\ & 0 & 1 & 0 & 0 & 0 & & & & & & & & & & \\ & & & & & & 0 & 1 & 0 & 0 & 0 & & & & & \\ & & & & & & & & & & 4 & 2 & 0 & -2 & & \\ & & & & & & & & & & & & & 4 & 2 & 0 & -2 \\ -2 & 0 & 2 & 4 & & & & & & & & & & & & \\ & & & & -2 & 0 & 2 & 4 & & & & & & & & \\ & & & & & & & & 0 & 0 & 0 & 0 & & & & \\ & & & & & & & & & & & & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & & & & & & & & & & & & \\ & & & & & & 0 & 0 & 0 & 0 & & & & & & \\ & & & & & & & & & & 4 & 2 & 0 & -2 & & \\ & & & & & & & & & & & & & 4 & 2 & 0 & -2 \end{bmatrix} \quad (15)$$

【0054】 $[B_{t-2}]$ は、対角要素が（数16）で表わされる対角行列となる。 * 【数16】

$$[B_{t-2}] = [m_1 \ 0 \ m_{-1} \ m_{-2} \ m_1 \ 0 \ m_{-1} \ m_{-2} \ m_2 \ m_1 \ 0 \ m_{-1} \ m_2 \ m_1 \ 0 \ m_{-1}]^T \quad (16)$$

【0055】次に、ステージ（ $t-1$ ）に対する計算について、ブランチメトリックBを次のように表わしてACS演算を変形してゆく。

【数17】

$$\begin{cases} m_1 = -2y_{t-1} + 1 \\ m_2 = -4y_{t-1} + 4 \\ m_3 = -6y_{t-1} + 9 \\ m_{-1} = 2y_{t-1} + 1 \\ m_{-2} = 4y_{t-1} + 4 \\ m_{-3} = 6y_{t-1} + 9 \end{cases} \quad (17)$$

20※【0056】変換前のACS演算は、次のように表わされる。ここに、 $[M_t]$ は、時刻 t における状態ノードのメトリックからなるベクトルである。また、

$[A_{t-1}]$ は、時刻（ $t-1$ ）のブランチメトリックBからなる行列である。また、 $[M_{t-1}]$ は、時刻（ $t-1$ ）における状態ノードのメトリックからなるベクトルである。

【数18】

$$[M_t] = [A_{t-1}] \otimes [M_{t-1}] \quad (18)$$

【0057】（数18）の $[A_{t-1}]$ は次の 16×16 行列である。 ★ 【数19】

$$[A_{t-1}] = \begin{bmatrix} 0 & 0 & m_{-1} & m_{-1} & & & & & & & & & & & & \\ & & & & m_{-2} & m_{-2} & m_{-3} & m_{-3} & & & & & & & & \\ & & & & & & & & 0 & 0 & m_{-1} & m_{-1} & & & & \\ & & & & & & & & & & & & m_{-2} & m_{-2} & m_{-3} & m_{-3} \\ m_2 & m_2 & m_1 & m_1 & & & & & & & & & & & & \\ & & & & 0 & 0 & m_{-1} & m_{-1} & & & & & & & & \\ & & & & & & & & m_2 & m_2 & m_1 & m_1 & & & & \\ & & & & & & & & & & & & 0 & 0 & m_{-1} & m_{-1} \\ m_1 & m_1 & 0 & 0 & & & & & & & & & & & & \\ & & & & m_{-1} & m_{-1} & m_{-2} & m_{-2} & & & & & & & & \\ & & & & & & & & m_1 & m_1 & 0 & 0 & & & & \\ & & & & & & & & & & & & m_{-1} & m_{-1} & m_{-2} & m_{-2} \\ m_3 & m_3 & m_2 & m_2 & & & & & & & & & & & & \\ & & & & m_1 & m_1 & 0 & 0 & & & & & & & & \\ & & & & & & & & m_3 & m_3 & m_2 & m_2 & & & & \\ & & & & & & & & & & & & m_1 & m_1 & 0 & 0 \end{bmatrix} \quad (19)$$

【0058】ブランチメトリックには、次の関係がある。 50

【数 2 0】

$$\begin{cases} m_2 = 2m_1 + 2 \\ m_3 = m_1 + m_2 + 4 \\ m_{-2} = 2m_{-1} + 2 \\ m_{-3} = m_{-1} + m_{-2} + 4 \end{cases} \quad (20)$$

【0059】この関係を利用して行方向に共通な演算を * 【数 2 1】
 (比較-選択) 演算の後に出すと、次のようになる。 *

$$[M_t] = [C_{t-1}] \otimes [A_{t-1}] \otimes [M_{t-2}] \quad (21)$$

【0060】ここに、 $[A_{t-1}]$ は (数 2 2) のように ※ 【数 2 2】
 変化する。 ※

$$[A_{t-1}] = \begin{bmatrix} 0 & 0 & m_{-1} & m_{-1} & 0 & 0 & m_{-1} + 4 & m_{-1} + 4 & 0 & 0 & m_{-1} & m_{-1} & 0 & 0 & m_{-1} + 4 & m_{-1} + 4 \\ m_1 + 2 & m_1 + 2 & 0 & 0 & 0 & 0 & m_{-1} & m_{-1} & m_1 + 2 & m_1 + 2 & 0 & 0 & 0 & 0 & m_{-1} & m_{-1} \\ m_1 & m_1 & 0 & 0 & 0 & 0 & m_{-1} + 2 & m_{-1} + 2 & m_1 & m_1 & 0 & 0 & 0 & 0 & m_{-1} + 2 & m_{-1} + 2 \\ m_1 + 4 & m_1 + 4 & 0 & 0 & m_1 & m_1 & 0 & 0 & m_1 + 4 & m_1 + 4 & 0 & 0 & m_1 & m_1 & 0 & 0 \end{bmatrix} \quad (22)$$

【0061】 $[C_{t-1}]$ は、対角要素が (数 2 3) で表 ★ 【数 2 3】
 わされる対角行列である。 ★

$$\text{diag}[C_{t-1}] = [0 \ m_{-2} \ 0 \ m_{-2} \ m_1 \ 0 \ m_1 \ 0 \ 0 \ m_{-1} \ 0 \ m_{-1} \ m_2 \ 0 \ m_2 \ 0]^T \quad (23)$$

【0062】さらに、列方向に共通な演算は (比較-選 ☆ 【数 2.4】
 択) 演算の前に出せるから、次のようになる。 ☆

$$[M_t] = [C_{t-1}] \otimes [A_{t-1}] \otimes [B_{t-1}] \otimes [M_{t-2}] \quad (24)$$

【0063】ここに、 $[A_{t-1}]$ は (数 2 5) のように ◆ 【数 2 5】
 変化する。 ◆

$$[A_{t-1}] = \begin{bmatrix} m_{-1} - 2 & m_{-1} - 2 & m_{-1} & m_{-1} & 0 & 0 & 4 & 4 & m_{-1} - 2 & m_{-1} - 2 & m_{-1} & m_{-1} & 0 & 0 & 4 & 4 \\ 2 & 2 & 0 & 0 & 0 & 0 & 0 & 0 & 2 & 2 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 2 & 2 & 0 & 0 & 0 & 0 & 0 & 0 & 2 & 2 \\ 4 & 4 & 0 & 0 & m_1 & m_1 & m_1 - 2 & m_1 - 2 & 4 & 4 & 0 & 0 & m_1 & m_1 & m_1 - 2 & m_1 - 2 \end{bmatrix} \quad (25)$$

【0064】 $[B_{t-1}]$ は、対角要素が (数26) で表わされる対角行列である。 * 【数26】

$$\text{diag}[B_{t-1}] = [m_1 \ m_1 \ 0 \ 0 \ 0 \ 0 \ m_{-1} \ m_{-1} \ m_1 \ m_1 \ 0 \ 0 \ 0 \ 0 \ m_{-1} \ m_{-1}]^T \quad (26)$$

【0065】さらにもう一度、行方向に共通な演算を ※7) のように変化する。
(比較-選択) 演算の後に出すと、 $[A_{t-1}]$ は (数2 ※ 【数27】

$$[A_{t-1}] = \begin{bmatrix} -2 & -2 & 0 & 0 & & & & & & & & & & & & \\ & & & 0 & 0 & 4 & 4 & & & & & & & & & \\ & & & & & & & -2 & -2 & 0 & 0 & & & & & \\ & 2 & 2 & 0 & 0 & & & & & & 0 & 0 & 4 & 4 & & \\ & & & 0 & 0 & 0 & 0 & & & & & & & & \\ & & & & & 2 & 2 & 0 & 0 & & & & & & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & & & & & & & 0 & 0 & 0 & 0 & & \\ & & & 0 & 0 & 2 & 2 & & & & & & & & & & \\ & & & & & & & 0 & 0 & 0 & 0 & & & & & & \\ 4 & 4 & 0 & 0 & & & & & & & 0 & 0 & 2 & 2 & & \\ & & & 0 & 0 & -2 & -2 & & & & & & & & & & \\ & & & & & & & 4 & 4 & 0 & 0 & & & & & & \\ & & & & & & & & & & 0 & 0 & -2 & -2 & & \end{bmatrix} \quad (27)$$

【0066】 $[C_{t-1}]$ は、対角要素が (数28) で表わされる対角行列となる。 ★ 【数28】

$$\text{diag}[C_{t-1}] = [m_{-1} \ m_{-2} \ m_{-1} \ m_{-2} \ m_1 \ 0 \ m_1 \ 0 \ 0 \ m_{-1} \ 0 \ m_{-1} \ m_2 \ m_1 \ m_2 \ m_1]^T \quad (28)$$

【0067】次に、ステージ (t-2) に対する計算と ☆になる。
ステージ (t-1) に対する計算をまとめると次のよう ☆ 【数29】

$$[M_{t-2}] = [B] \otimes [A] \otimes [C] \otimes [M_{t-2}] \quad (29)$$

【0068】ここに、 $[A]$ は、次式で表される。 ◆ ◆ 【数30】

$$[A] = [A_{t-2}] + [A_t] = \begin{bmatrix} -4 & -2 & 2 & 4 & & & & & & & & & & & & \\ & & & -2 & 0 & 6 & 8 & & & & & & & & & \\ & & & & & & & -2 & -2 & 0 & 0 & & & 0 & 0 & 4 & 4 \\ & 2 & 2 & 0 & 0 & & & & & & & & & & & \\ & & & 0 & 0 & 0 & 0 & & & & 6 & 4 & 0 & -2 & & 4 & 2 & 0 & -2 \\ -2 & 0 & 2 & 4 & & & & & & & & & & 0 & 0 & 0 & 0 & 0 & 0 & 2 & 2 \\ & & & -2 & 0 & 4 & 6 & & & & & & & & & & & & & & \\ 4 & 4 & 0 & 0 & & & & & & & 0 & 0 & 0 & 0 & & 0 & 0 & 2 & 2 \\ & & & 0 & 0 & -2 & -2 & & & & & & & & & 8 & 6 & 0 & -2 & & 4 & 2 & -2 & -4 \end{bmatrix} \quad (30)$$

【0069】また、 $[B]$ は、次式で表される。 * 40 * 【数31】

$$[B] = [B_{t-2}] + [B_{t-1}]$$

$$\text{diag}[B_{t-2}] = [m_{1,t-2} \ 0 \ m_{-1,t-2} \ m_{-2,t-2} \ m_{1,t-2} \ 0 \ m_{-1,t-2} \ m_{-2,t-2} \ m_{2,t-2} \ m_{1,t-2} \ 0 \ m_{-1,t-2} \ m_{2,t-2} \ m_{1,t-2} \ 0 \ m_{-1,t-2}]^T$$

$$\text{diag}[B_{t-1}] = [m_{1,t-1} \ m_{1,t-1} \ 0 \ 0 \ 0 \ 0 \ m_{-1,t-1} \ 0 \ m_{-1,t-1} \ m_{1,t-1} \ m_{1,t-1} \ 0 \ 0 \ 0 \ 0 \ m_{-1,t-1} \ m_{-1,t-1}]^T$$

(31)

【0070】また、 $[C]$ は、次式で表される。

50 【数32】

$$[C] = [C_{t-2}] + [C_{t-1}]$$

$$\text{diag}[C_{t-1}] = [m_{-1,t-1} \ m_{-1,t-1} \ 0 \ 0 \ 0 \ 0 \ m_{1,t-1} \ 0 \ m_{1,t-1} \ m_{-1,t-1} \ m_{-1,t-1} \ 0 \ 0 \ 0 \ 0 \ m_{1,t-1} \ m_{1,t-1}]^T$$

$$\text{diag}[C_{t-1}] = [m_{-1,t-1} \ m_{-2,t-1} \ m_{-1,t-1} \ m_{-2,t-1} \ m_{1,t-1} \ 0 \ m_{1,t-1} \ 0 \ 0 \ m_{-1,t-1} \ 0 \ m_{-1,t-1} \ m_{2,t-1} \ m_{1,t-1} \ m_{2,t-1} \ m_{1,t-1}]^T$$

(32)

【0071】ここで、加算回数を削減するために(数2 * 【数33】
9)を次のように変換する。

$$[M_t'] = ([B_{t-2}] + [B_{t-1}]) \otimes ([C_t] + [C_{t+1}]) \otimes [A] \otimes [M_{t-2}'] \quad (33)$$

【0072】(数33)より、ACSの計算は、2段のトレリスの始めの各ノードのメトリックと行列[A]で表わされる定数値との比較でパス選択を行った後、時刻(t-2)から時刻(t+1)までの等化値の演算結果を加算すれば良いことになる。図11は、上述の結果を表現したトレリスである。

【0073】{簡略化手法の適用}

演算省略：例えば、図10に示す2段のトレリスにおいて、時刻tのときの状態0000へ遷移する4本の枝について $y_{t-3} \geq 0$ かつ $y_{t-2} \geq 0$ の場合を考える。1段目のトレリスでは、 $y_{t-3} \geq 0$ であるので、状態1000と1100の尤度が低くなる。2段目のトレリスでは、 $y_{t-2} \geq 0$ より状態1000の尤度が低い。したがって、2段のトレリスにおいて、 $y_{t-3} \geq 0$ かつ $y_{t-2} \geq 0$ が満たされている場合には、1段目の0000→0000と2段目の0000→0000の遷移からなる状態遷移の尤度が高くなることが分かる。

【0074】別の例として、時刻tのときの状態0000へ遷移する4本の枝について $y_{t-3} \geq 0$ かつ $y_{t-2} < 0$ の場合を考える。1段目のトレリスでは、前例と同じく、状態1000及び1100の尤度が低くなる。2段目のトレリスでは、 $y_{t-2} < 0$ より、0000→0000と1000→0000のパスのACSが必要となる。したがって、2段のトレリスにおいて、 $y_{t-3} \geq 0$ かつ $y_{t-2} < 0$ が満たされている場合には、1段目の0000→0000と2段目の0000→0000の遷移からなる状態遷移と、1段目の0100→1000と2段目の1000→0000から成る状態遷移の2つのパスのACSが必要となる。

【0075】このように、本来ならば時刻tの各状態で4本の枝のACSを行う必要があるが、演算省略の手法により、枝の数が、2本、あるいは1本となり、ACS演算が簡単になる。

【0076】図12および図13に、2段のトレリスのすべての状態に上記演算省略の手法を適用した場合のACS演算の枝を示す。M(…)は、()内の状態のパスメトリックを表す。それに加算されている定数は、図11のトレリスの各枝に残った定数値に対応している。例えば、図12の状態0000について見ると、 $y_{t-3} \geq$

0かつ $y_{t-2} \geq 0$ のときには、0000からのパスのパスメトリックの演算のみを行えばよいことが判る。また、 $y_{t-3} \geq 0$ 、 $y_{t-2} < 0$ の場合には、状態0000と0100からのパスのACSを行えばよいことが判る。また、 $y_{t-3} < 0$ かつ $y_{t-2} \geq 0$ の場合には、状態0000と1000のパスのACSを行えばよいことが判る。さらに、 $y_{t-3} < 0$ かつ $y_{t-2} < 0$ のときには、4本すべてのACSを行う必要があることが判る。

【0077】演算器共有：図12において、状態0000の実線部と状態1111の破線部とを比べると共に状態0000の破線部と状態1111の実線部とを比べると、演算が完全に対称になっている。同様に、図12および図13において、矢印で結んだ状態どうしの演算は、完全に対称となっている。これらの演算が対称な状態どうしは、入力(パスメトリック)を変えれば、同一の演算器を使用できる。すなわち、場合分けの条件により、演算器を共有でき、2状態分のACSを簡略化できる。

【0078】メモリ共有：2段を1段化したトレリスにおいても、復号結果が同じで且つブランチメトリックBの値が大きく異なる状態どうしはメモリを共通化できる。図14では、例えば時刻tにおける状態0011と1100の組および状態0111と1000の組は、パスメモリ105とパスメトリック・メモリ107を共通化できる。すなわち、 y_{t-1} の値によって、パスメモリ105とパスメトリック・メモリ107を使用する状態が決定される。さらに、2段を1段化したトレリスにおいては、状態0010と1101の組についても、パスメモリ105とパスメトリック・メモリ107の共通化が可能である。この場合、図15に示すように、(y_{t-2} , y_{t-1})の値が上側の領域にあれば状態0010がパスメモリ105とパスメトリック・メモリ107を使用し、下側の領域にあれば状態1101がパスメモリ105とパスメトリック・メモリ107を使用する。

【0079】以上のように、演算省略と演算器共有とメモリ共通化とを行うことにより、本来は16状態分必要なACSおよびパスメモリが14状態または13状態分で済む。

【0080】ここで、図12および図13に示した場合

分けの条件を緩和し、図 16 および図 17 に示すような条件で場合分けを行う方が現実的である。すなわち、図 16 および図 17 に示すように、基本的に y_{t-3} および y_{t-2} の符号によって場合分けを行う。ただし、状態 0011 と 1100 の組および状態 1000 と 0111 の組の共通化のために、 y_{t-1} の符号を用いる。図 16 より、それぞれ対応している状態の演算は完全に対称であり、2 入力の ACS と 4 入力の ACS を一組用意しておけば、入力を切り替えることによって 2 状態分の ACS 演算を実現できる。また、図 17 においては、状態 1000 と 0111、状態 1001 と 0110 については、2 入力と 4 入力の ACS、状態 1010 と 0101 については 4 入力と 4 入力の ACS、状態 1011 と 0100 については 4 入力と 4 入力の ACS が必要となる。

【0081】図 6 に示すビタビ復号器 100B は、図 16 および図 17 に従って構成したものである。図 18 に、その ACS 回路 104B の詳細を示す。切換器 159 は、 y_{t-3} および y_{t-2} の符号により比較部 159 への入力を切り替える。例えば、 y_{t-3} の符号が正だった場合には、 $M(0000)$ と $M(0100)$ が比較部 Comp. 0 へ入力され、 $M(1111)$ と $M(1011)$ が比較部 Comp. 1 へ入力される。逆に、 y_{t-2} の符号が負だった場合には、 $M(1111)$ と $M(1011)$ が比較部 Comp. 0 へ入力され、 $M(0000)$ と $M(0100)$ が比較部 Comp. 1 へ入力される。ゆえに、比較部 Comp. 0 は各状態に対応した 2 入力の比較器を含み、比較部 Comp. 1 は各状態に対応した 4 入力の比較器を含んでいる。同様に、比較部 Comp. 2 および比較部 Comp. 3 についても、それぞれ場合分けによって使い分けられる比較器を含んでいる。比較部 159 での比較結果は、選択部 153 へ送られる。選択部 153 は、生き残りパスを選択し、それぞれの状態のパスメモリ 105 へ推定結果を出力する。図中の PM (...) は、() 内の状態に対応したパスメモリ 105 への出力を表している。

【0082】以上のように、第 2 の実施形態にかかるビタビ復号器 100B によれば、2 サンプリグ時刻分の復号を一度に行うため、処理速度を高速化できる。また、簡略化手法を適用しているため、回路規模を縮減でき、消費電力を節減できる。なお、上記と同様にして 3 サンプリグ時刻分以上の復号を一度に行ってもよい。

【0083】—第 3 の実施形態—

図 19 に、本発明の第 3 の実施形態にかかる信号処理集積回路を示す。この信号処理集積回路 10 は、ユーザデータをチャンネル符号へと変換するチャンネルエンコーダ 118 と、記録データへ変換するためのプリコーダ 117 と、信号に重畳された高域ノイズを除去するアナログフィルタ 112 と、高域ノイズを除去された信号を所定時間ごとにデジタル値に変換するアナログ・デジタル変換器 113 と、前記デジタル値を予め定めた等化特性によって等化させる波形等化器 114 と、その波形等

化器 114 の出力に基づいてビタビ復号を行うビタビ復号器 100 と、復号結果をユーザデータへと変換するチャンネルデコーダ 115 とを、同一半導体基板上に形成したものである。前記ビタビ復号器 100 は、第 1 の実施形態にかかるビタビ復号器 100A または第 2 の実施形態にかかるビタビ復号器 100B である。なお、プリコーダ 117 から出力されたデータは、記録アンプ 116 を介して、磁気ディスク 110 に書き込まれる。また、磁気ディスク 110 から読み出されたデータは、再生アンプ 111 を介して、アナログフィルタ 112 に入力される。

【0084】—第 4 の実施形態—

第 1 の実施形態のビタビ復号器 100A に、チャンネル符号として 16/17 MTR (Maximal Transition Run) 符号を使用する場合の実施形態を説明する。図 20 に、16/17 MTR 符号の概要を示す。16/17 MTR 符号は、“0”、“10”、“110”で始まり、“0”、“01”、“011”で終わる。原則として“1111”を含むことを禁止している。“111”は、どの位置でも許されている。ただし、0、1、2 のビット位置と 14、15、16 のビット位置での“111”は、符号の接続部の処理を行ったときのみ現れる。符号の接続部の処理とは、2 つの符号の接続部に“1111”が現れる場合と、前の符号の末尾が“0000”かつ後の符号の先頭が“0000”となる場合に行われる。図 21 に、符号の接続部の処理の一部を示す。左側に示すように符号の接続部になった場合に、右側に示す符号へと変換される。なお、MTR 符号については、GL OBECOM '97 年集の K. K. Fitzpatrick らの論文 “Time-varying MTR codes for High Density Magnetic Recording” (pp. 1250-1253) において述べられている。

【0085】16/17 MTR 符号上には情報系列“1111”が現れないので、磁気ディスク 110 上で磁化反転が 4 回連続することはない。言い換えれば、すべてのビット位置において、“10101”および“01010”が存在しない。したがって、トレリス線図において、2 つの遷移すなわち状態 1010 → 0101 および状態 0101 → 1010 を除くことが出来る。図 22 に、このときのトレリス線図を示す。このトレリス線図において、実線は遷移可能な枝を表し、破線は 16/17 MTR 符号の制約によって除かれる枝を表している。例えば、状態 1010 と状態 0101 へ入る枝は、1 本のみである。したがって、状態 1010 と状態 0101 の生き残りパスの決定には、パスメトリックの比較および選択の必要はなく、状態 1010 では状態 1101 の結果をそのまま出力し、状態 0101 では状態 0010 の結果をそのまま出力すればよい。

【0086】図 23 に、図 22 のトレリス線図に基づいて構成した 16/17 MTR 用 EEP RML ビタビ復号器 100C を示す。このビタビ復号器 100C を、図 1

9の信号処理集積回路10におけるビタビ復号器100として用いることが出来る。

【0087】—第5の実施形態—

第2の実施形態のビタビ復号器100Bに、チャネル符号として16/17MTR符号を使用する実施形態を説明する。図24に、2段のトレリス線図を示す。このトレリス線図において、色の濃い実線は遷移可能な枝を表し、色の薄い実線は16/17MTR符号の制約によって除かれる枝を表している。状態1010と状態0101へ入る枝は、1本のみである。したがって、状態1010と状態0101の生き残りパスの決定には、パスメトリックの比較および選択の必要はなく、状態1010では状態1101の結果をそのまま出力し、状態0101では状態0010の結果をそのまま出力すればよい。図25に、1段化したトレリス線図を示す。色の濃い実線は遷移可能な枝を表し、色の薄い実線は存在しないパスを表す。つまり、常に、0101→0100、0010→1010、1010→1010、0101→0101、1101→0101、および1010→1011の枝が切れている。2サンプリング時刻分の復号を一度に行うビタビ復号器のACS回路においては基本的に4本のパスの比較・選択を行うが、16/17MTR符号の制約によるパスの切断を考慮してACS回路を構成すると、図25に示すように、状態0100に対応するACS回路は3本のパスの比較・選択を行い、状態0101および1010に対応するACS回路は2本のパスの比較・選択を行い、状態1011に対応するACS回路は3本のパスの比較・選択を行えばよい。

【0088】図26および図27は、ACS演算の枝を示す図表である。また、図28および図29は、分岐条件を緩和したACS演算の枝を示す図表である。

【0089】図30に、図25のトレリス線図および図28、図29の図表に基づいて構成した16/17MTR用EPRMLビタビ復号器100Dを示す。このビタビ復号器100Dを、図19の信号処理集積回路10におけるビタビ復号器100として用いることが出来る。

【0090】—第6の実施形態—

図31に、本発明の第6の実施形態にかかる磁気ディスク装置を示す。この磁気ディスク装置200は、データが書き込まれている磁気ディスク110と、磁気ディスク110を回転させるスピンドルモータ202と、磁気ディスク110からデータの読み出しを行うヘッド203と、ヘッド203を支えるアーム204と、ヘッド203を移動させるためのボイスコイルモータ205と、ヘッド203からの信号を増幅するリードライトアンプ206と、電子回路部210とを具備している。前記電子回路部210は、ホスト等の情報処理装置に接続するためのインターフェイス211と、インターフェイス211の入出力を制御するインターフェイス制御回路21

2と、データの受け渡しおよびフォーマット等の制御をするハードディスクコントローラ213と、マイコン214と、図19の信号処理集積回路10と、スピンドル制御回路215と、ボイスコイルモータ制御回路216とを具備している。

【0091】—第7の実施形態—

図32に、本発明の第7の実施形態にかかる情報処理システムを示す。この情報処理システム240は、情報処理装置217と、図31の磁気ディスク装置200とを具備している。前記情報処理装置217は、バス224で接続された中央処理装置(CPU)220、メモリ221、周辺インターフェイス222、223を具備しており、周辺インターフェイス222を通して磁気ディスク装置200に接続している。

【0092】なお、以上の説明では、ビタビ復号器100をハードウェア的に構成したが、一部または全部をソフトウェア的に構成してもよい。

【0093】

【発明の効果】本発明のビタビ復号方法、ビタビ復号器、信号処理集積回路、データ再生装置、磁気ディスク装置および情報処理システムによれば、ACS演算を簡略化でき、回路規模を縮減でき、消費電力を節減でき、さらに処理速度を向上することが出来る。

【図面の簡単な説明】

【図1】第1の実施形態にかかるビタビ復号器の構成図である。

【図2】図1のビタビ復号器におけるACS回路の構成図である。

【図3】EPRMLトレリス線図である。

【図4】パスメモリおよびパスメトリック・メモリの共通化を説明するEPRMLトレリス線図である。

【図5】第1の実施形態にかかるACS演算の枝を示す図表である。

【図6】第2の実施形態にかかるビタビ復号器の構成図である。

【図7】トランスフォームド・トレリスの基本原理解図である。

【図8】2状態トレリスの変換の例示図である。

【図9】2状態の基本ACSの説明図である。

【図10】2段のEPRMLトレリス線図である。

【図11】2段を1段に変換したトレリス線図である。

【図12】第2の実施形態にかかるACS演算の枝を示す図表である。

【図13】図12の図表の続きの図表である。

【図14】2段を1段化したトレリスにおけるパスメモリおよびパスメトリック・メモリの共通化を説明するトレリス線図である。

【図15】図14のトレリス線図にかかる場合分けの条件の説明図である。

【図16】分岐条件を緩和した場合の図12対応図であ

る。

【図 17】分岐条件を緩和した場合の図 13 対応図である。

【図 18】図 16 および図 17 に従って構成した ACS 回路の構成図である。

【図 19】第 3 の実施形態にかかる信号処理集積回路の構成図である。

【図 20】16/17MTR 符号の説明図である。

【図 21】16/17MTR 符号の接続部の処理の説明図である。

【図 22】16/17MTR 符号を用いた場合の EEP RML トレリス線図である。

【図 23】第 4 の実施形態にかかるビタビ復号器の構成図である。

【図 24】16/17MTR 符号を用いた場合の 2 段の EEP RML トレリス線図である。

【図 25】2 サンプル時刻分の復号を一度に行うビタビ復号器に 16/17MTR 符号を適用した場合のトレリス線図である。

【図 26】第 5 の実施形態にかかる ACS 演算の枝を示す図表である。

【図 27】図 25 の図表の続きの図表である。

【図 28】分岐条件を緩和した場合の図 25 対応図である。

【図 29】分岐条件を緩和した場合の図 26 対応図である。

【図 30】第 5 の実施形態にかかるビタビ復号器の構成図である。

【図 31】本発明の第 6 の実施形態にかかる磁気ディスク装置の構成図である。

10

【図 32】本発明の第 7 の実施形態にかかる情報処理システムの構成図である。

【図 33】従来のビタビ復号器の一例の構成図である。

【図 34】図 25 のビタビ復号器における ACS 回路の構成図である。

【図 35】EPRML トレリス線図である。

【図 36】EEP RML トレリス線図である。

【符号の説明】

10 : 信号処理集積回路

100、100A、100B、100C、100D : ビタビ復号器

103 : ブランチメトリック計算回路

104A、104B、104C、104D : ACS 回路

105 : パスメモリ

106 : ML セレクタ

107 : パスメトリック・メモリ

110 : 磁気ディスク

111 : 再生アンプ

112 : アナログフィルタ

113 : A/D 変換器

114 : 波形等化器

115 : チャネルデコーダ

116 : 記録アンプ

117 : プリコーダ

118 : チャネルエンコーダ

200 : 磁気ディスク装置

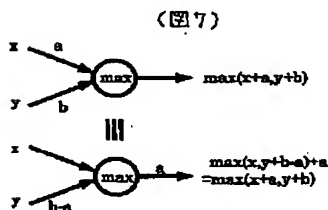
210 : 電子回路部

217 : 情報処理装置

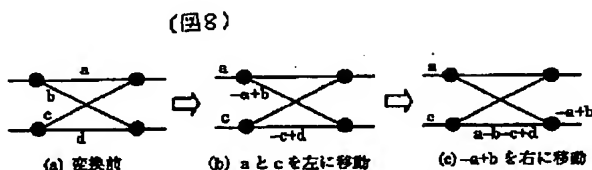
260 : 情報処理システム

30

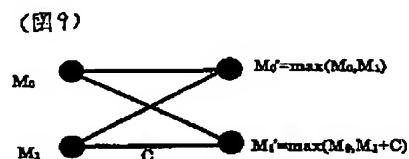
【図 7】



【図 8】

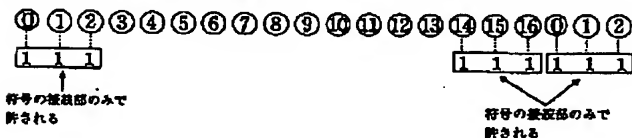


【図 9】

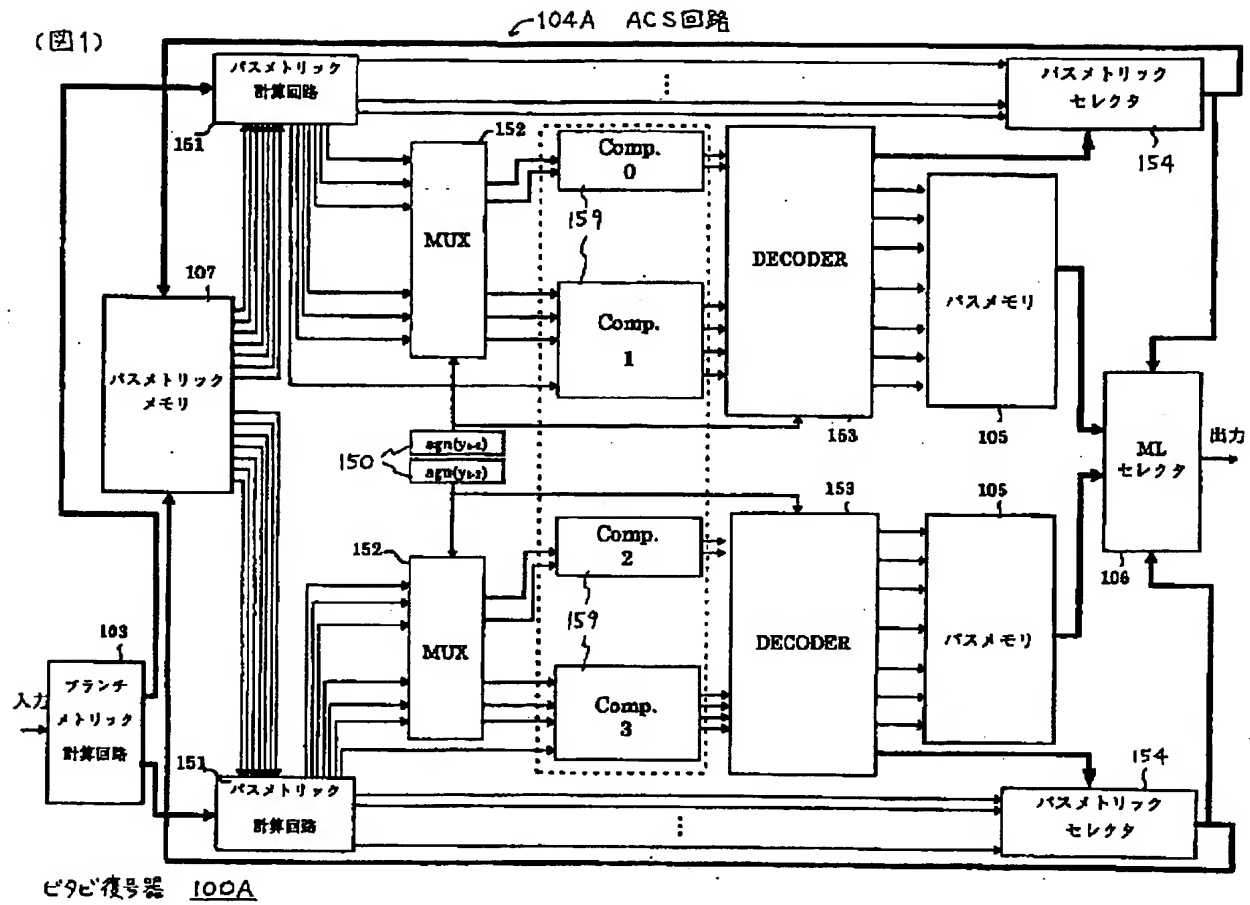


【図 20】

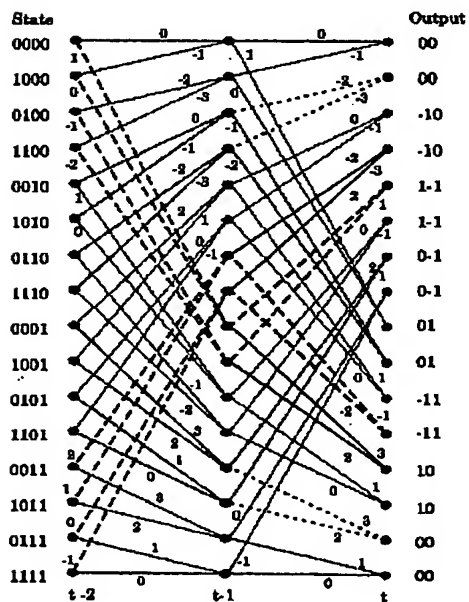
(図 20) *記述している以外の位置では経路条件に "111" が与えられる。



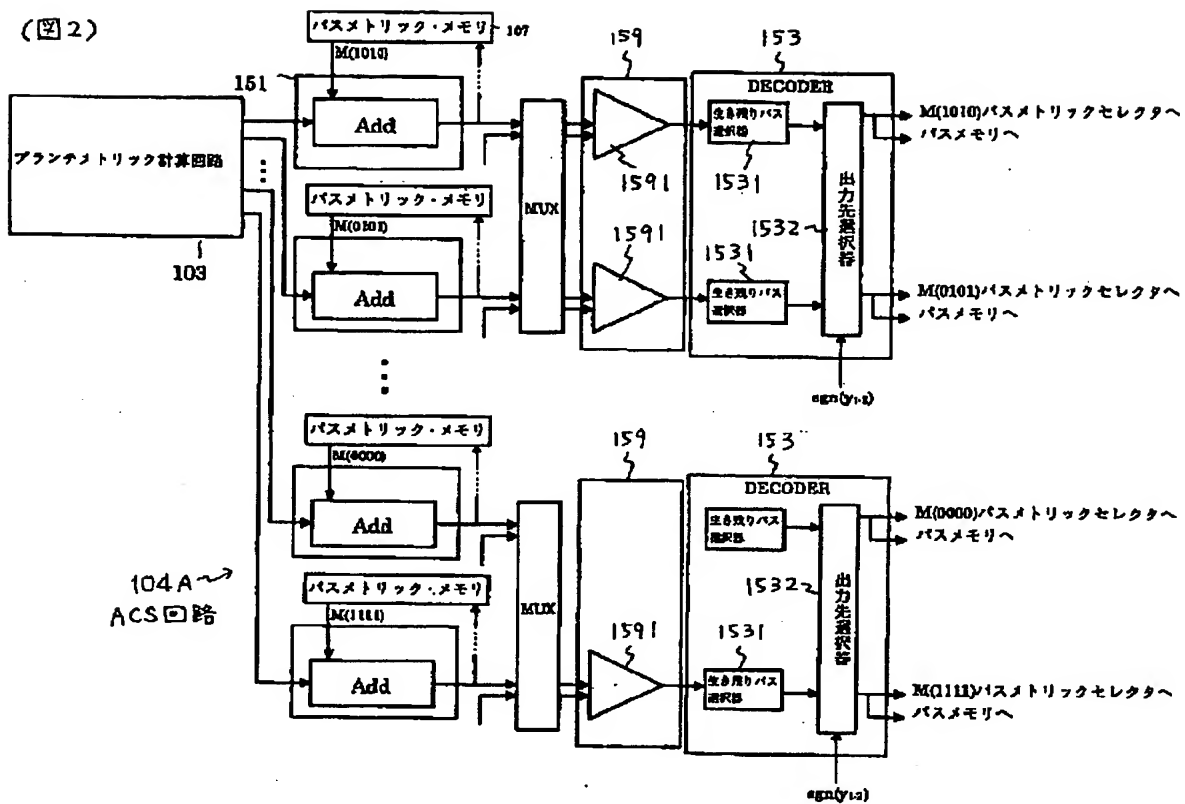
【図 1】



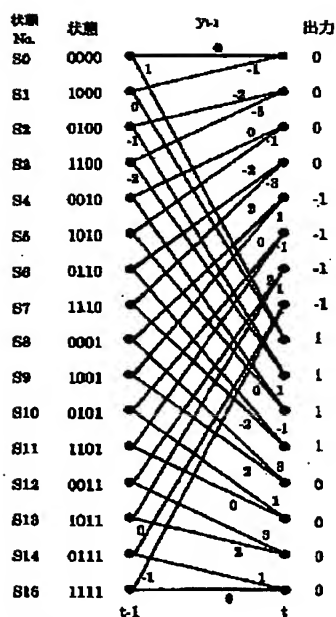
【図 14】



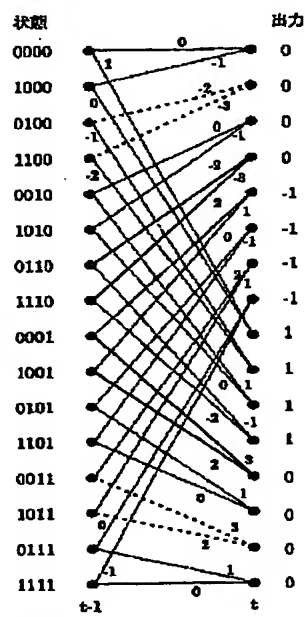
(圖2)



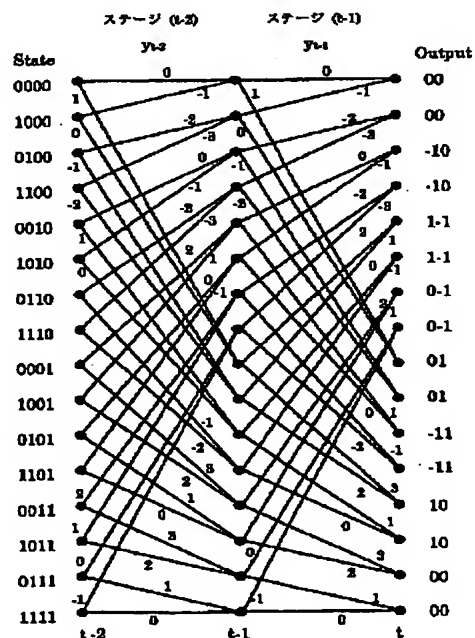
【図 10】



(圖 3)

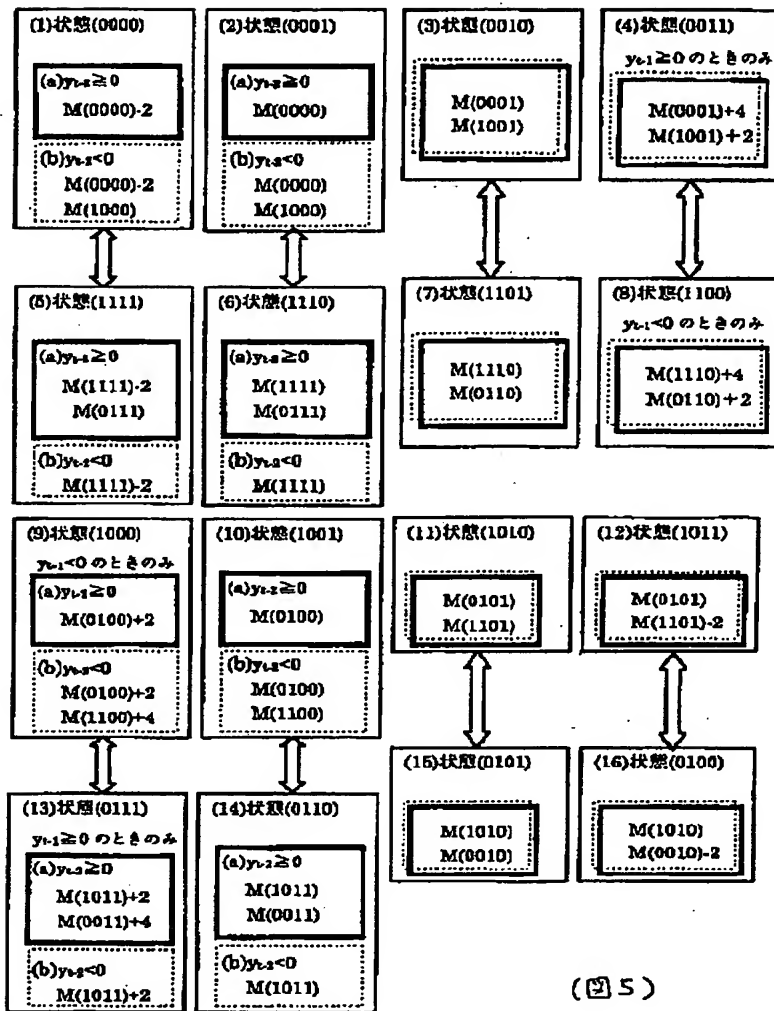


(圖 4)



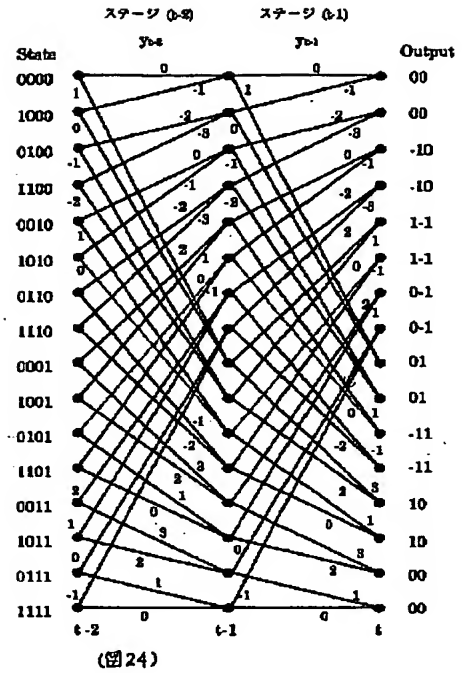
(圖 10)

【図5】

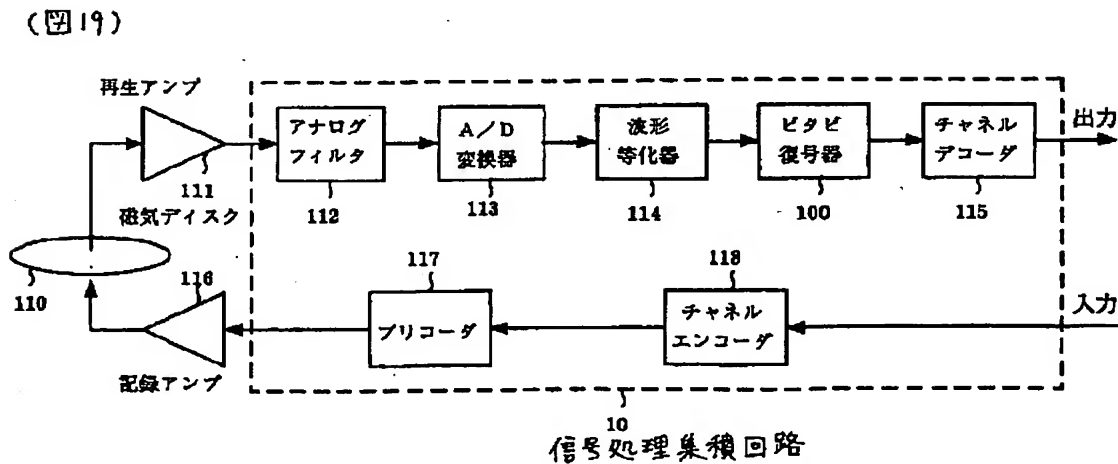


(図5)

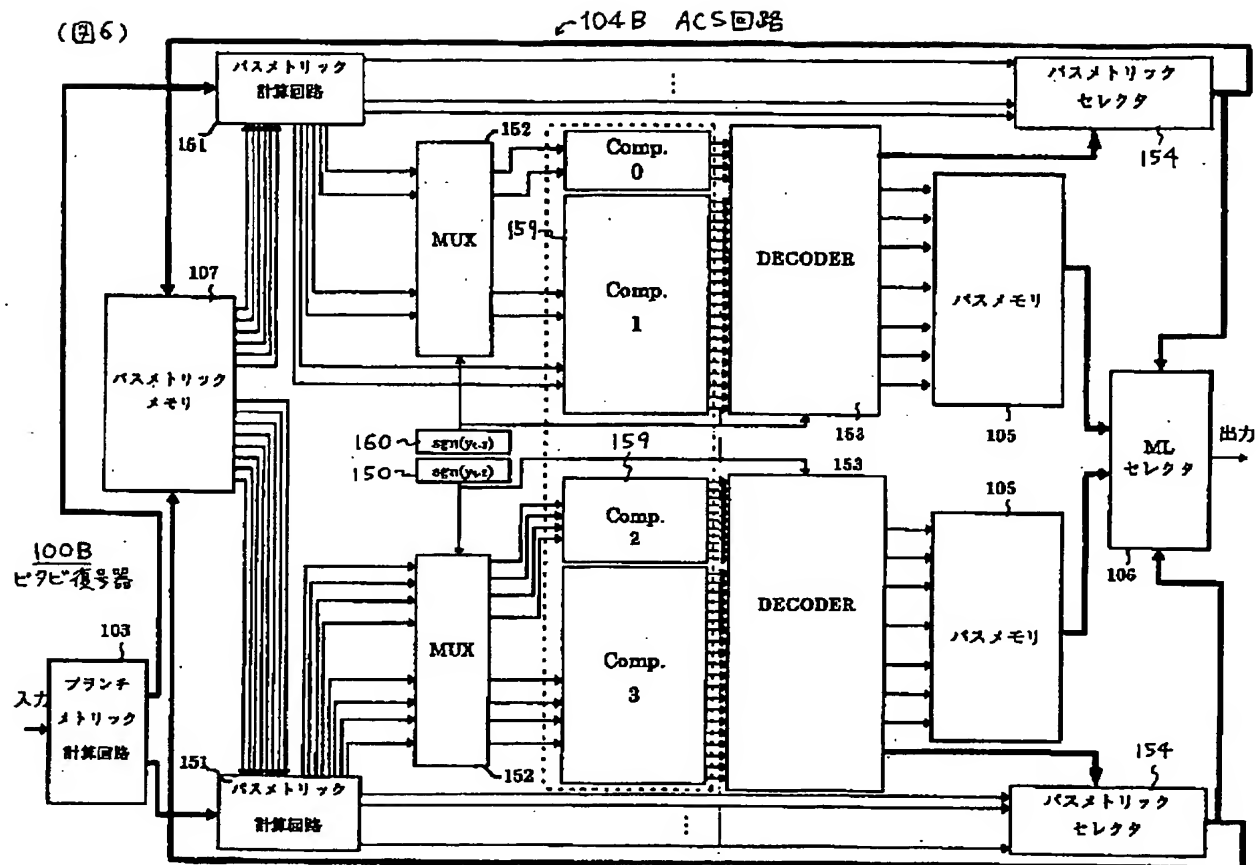
【図24】



【図19】



【図6】

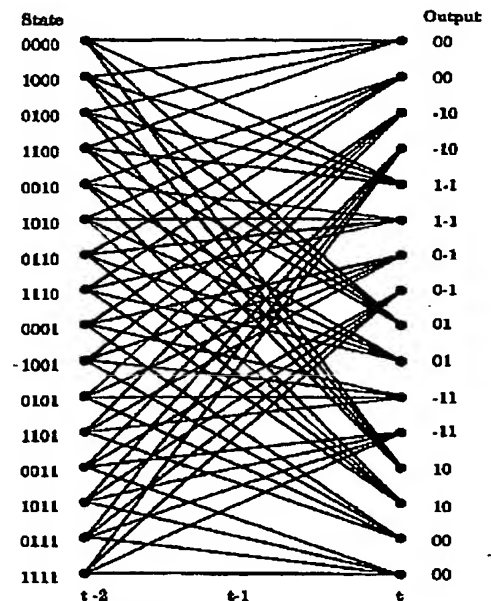


【図21】

(図21)

符号の接続部	変換後の符号の接続部
"...0000 , 0000..."	→ "...0010 , 1110..."
"...0000 , 0001..."	→ "...0000 , 1110..."
"...0000 , 0010..."	→ "...0111 , 0010..."
"...0000 , 0011..."	→ "...0111 , 0110..."
"...1000 , 0000..."	→ "...0111 , 0000..."
"...0100 , 0000..."	→ "...0100 , 1110..."
"...1100 , 0000..."	→ "...0110 , 1110..."

【図25】

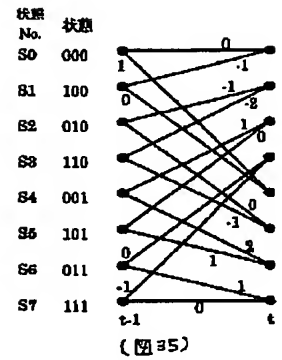
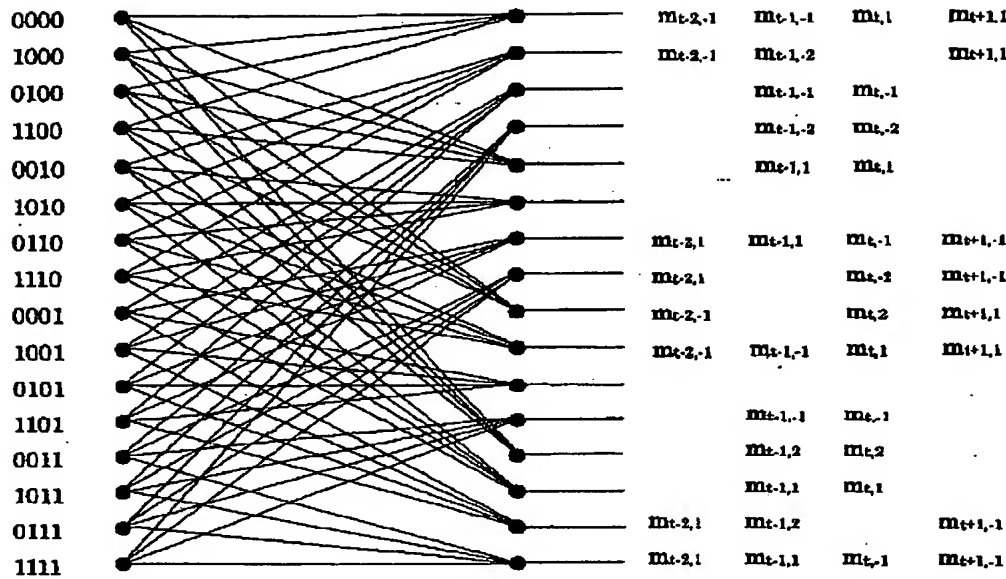


(図25)

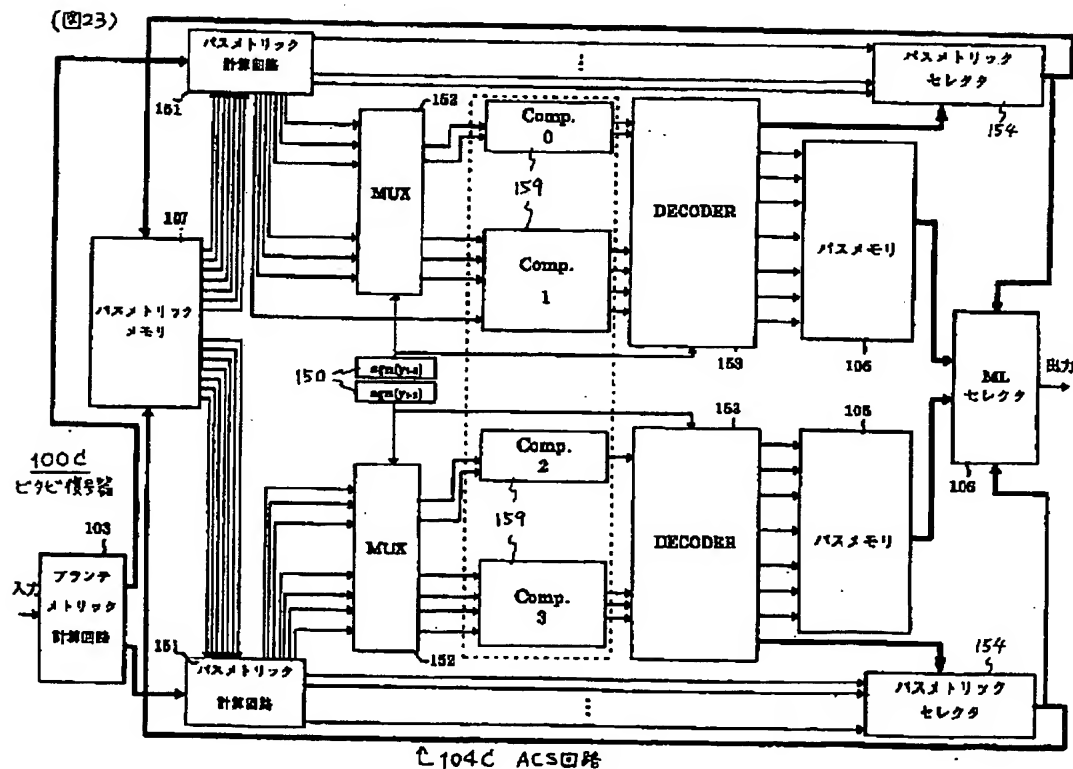
【図 1 1】

【図 3 5】

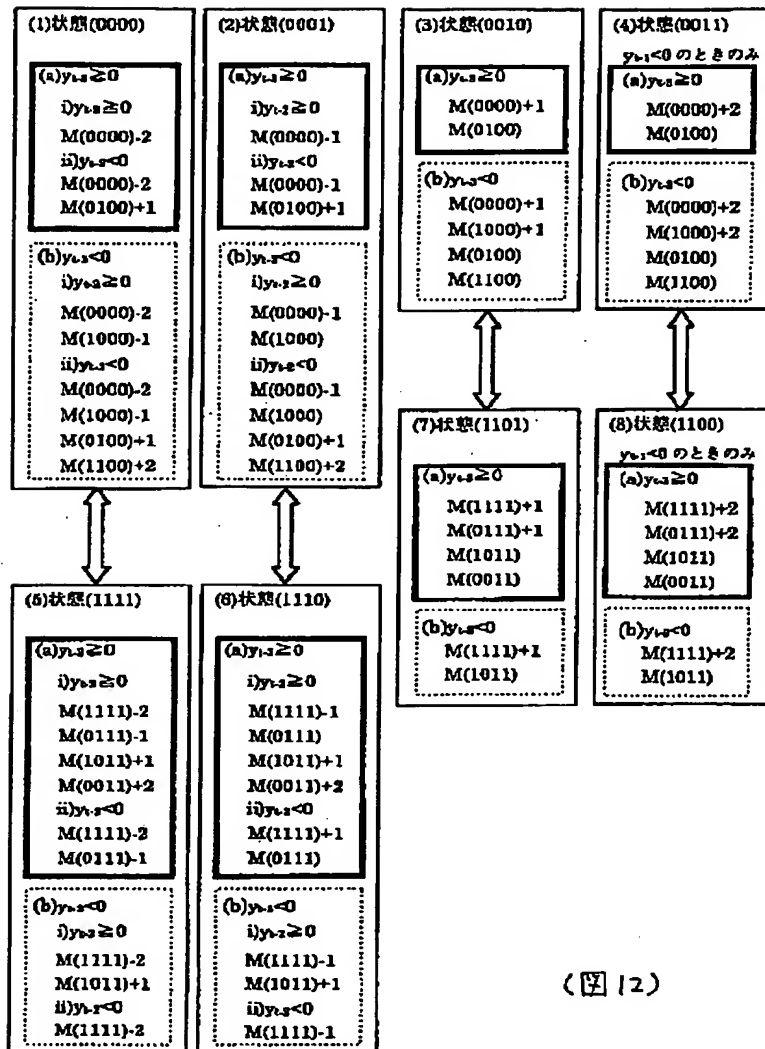
(図 11)



【図 2 3】

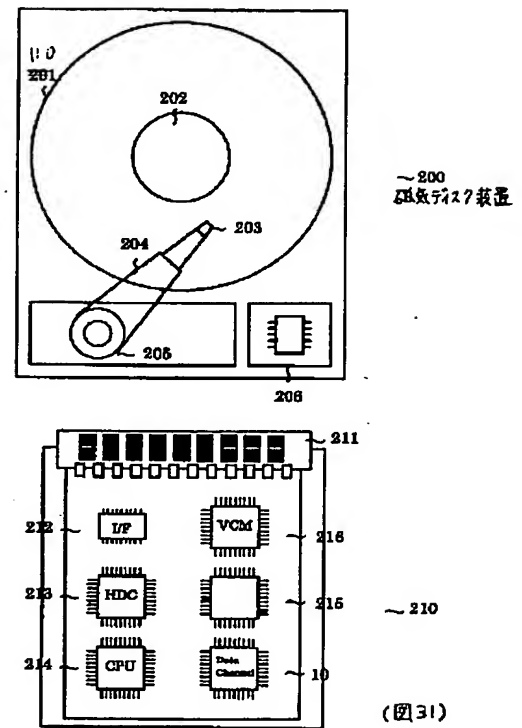


【図12】

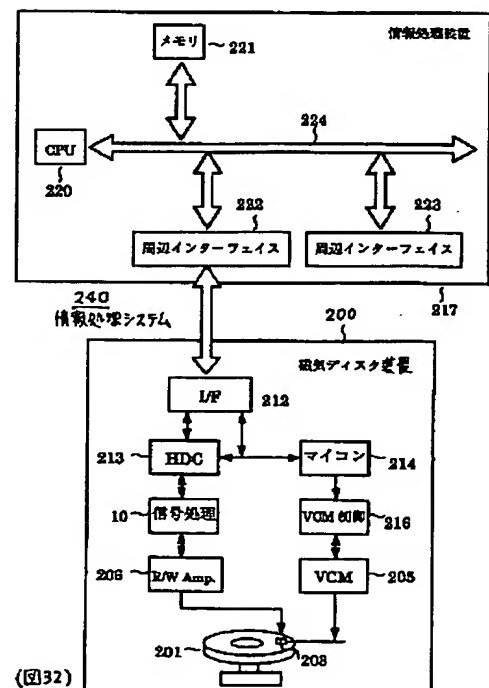


(図12)

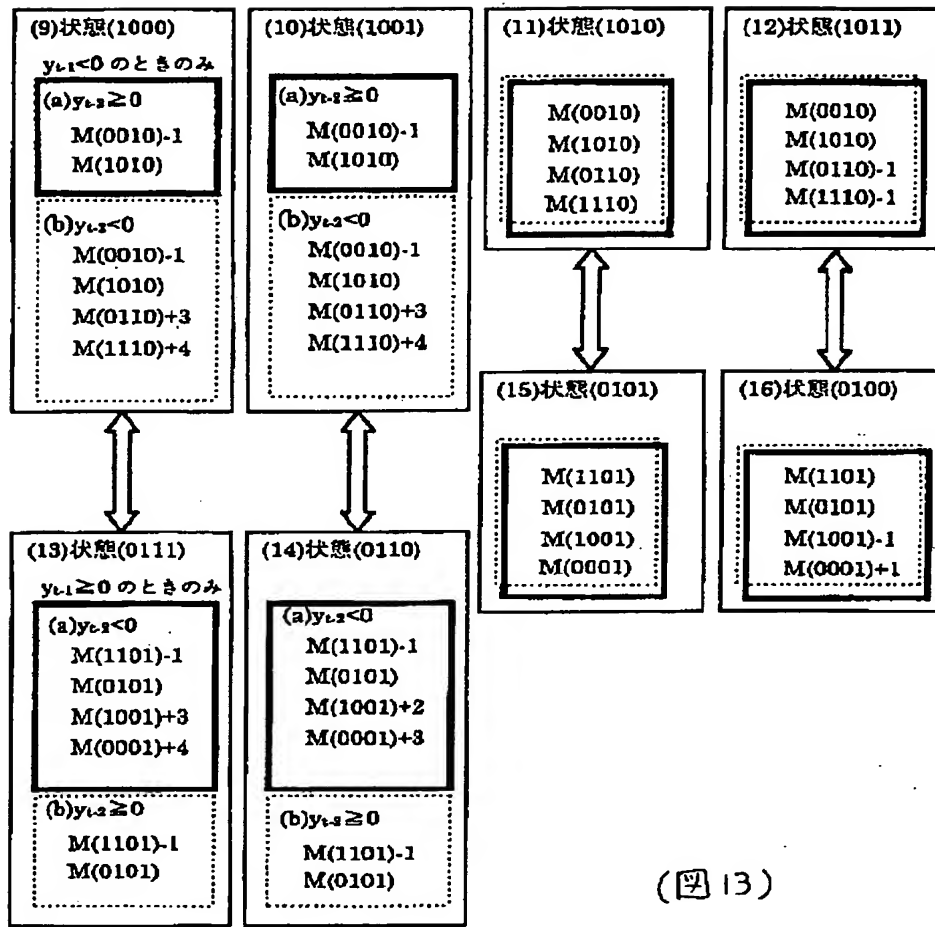
【図31】



【図32】

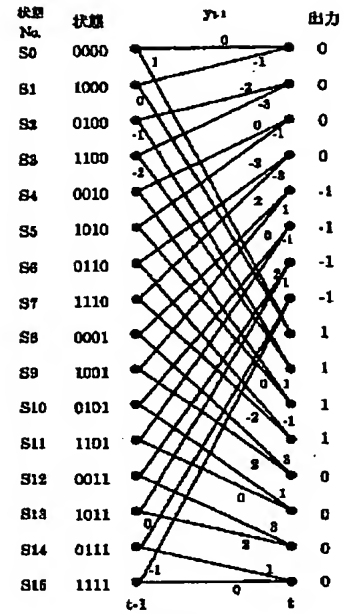


【図 13】



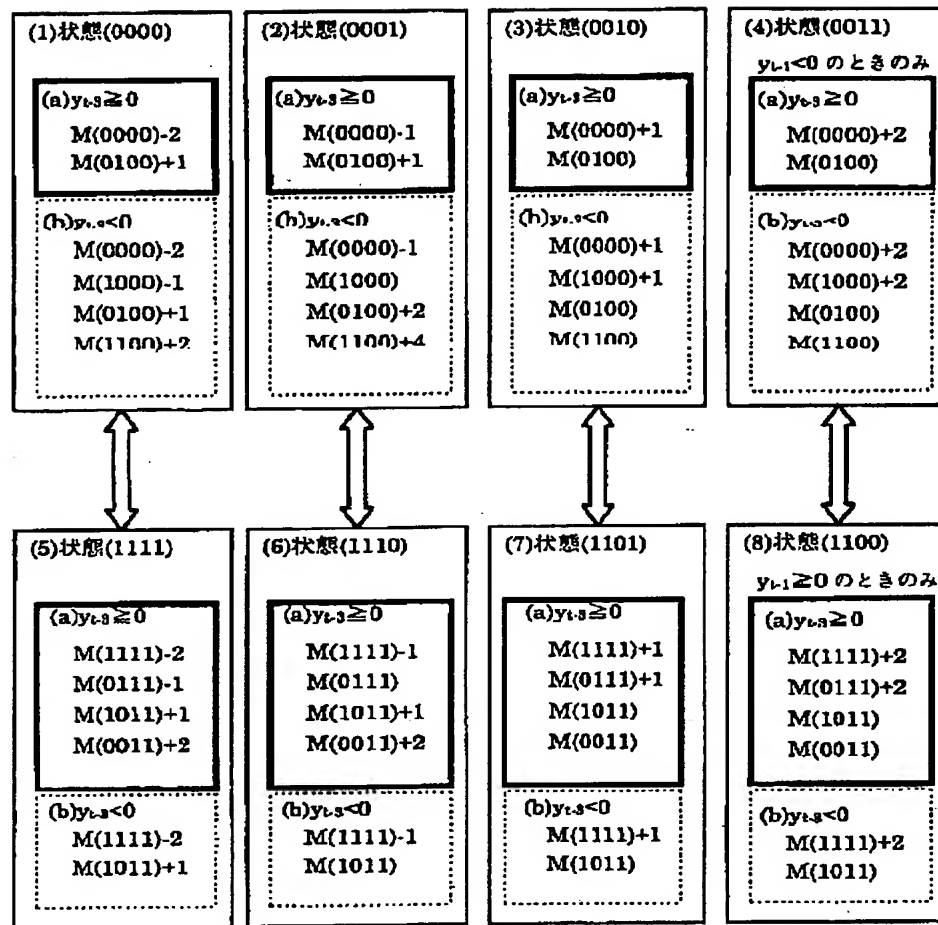
(図 13)

【図 36】



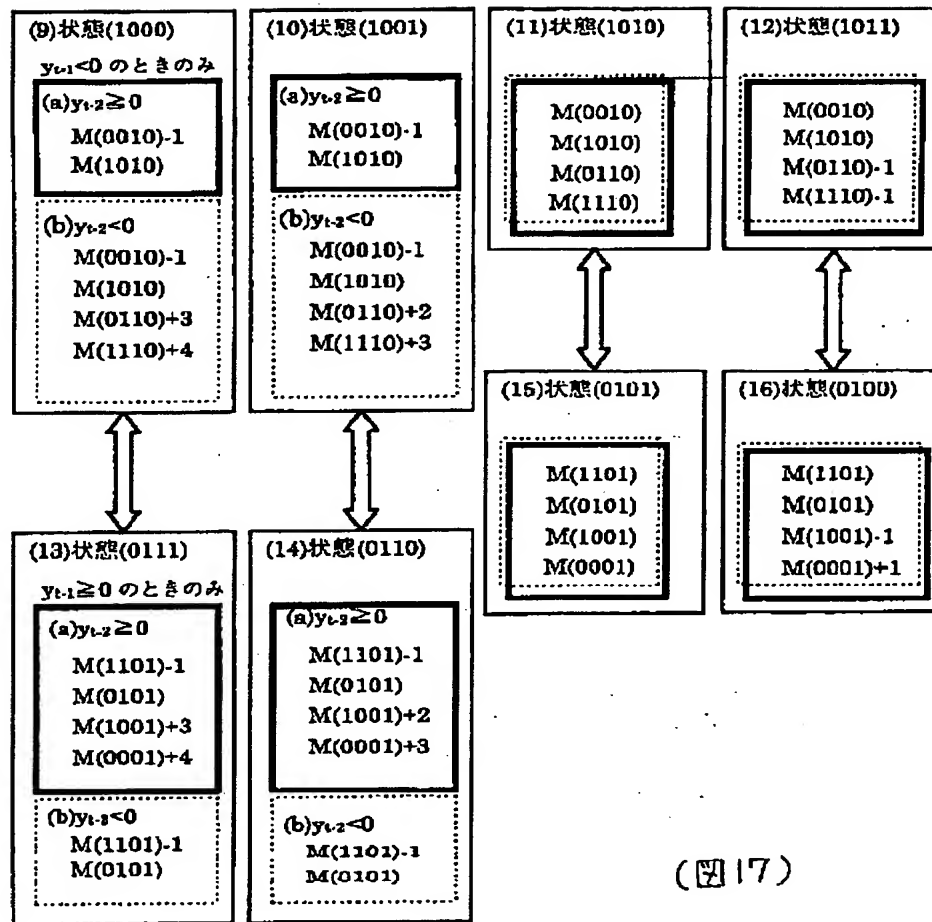
(図 36)

【図 16】



(図 16)

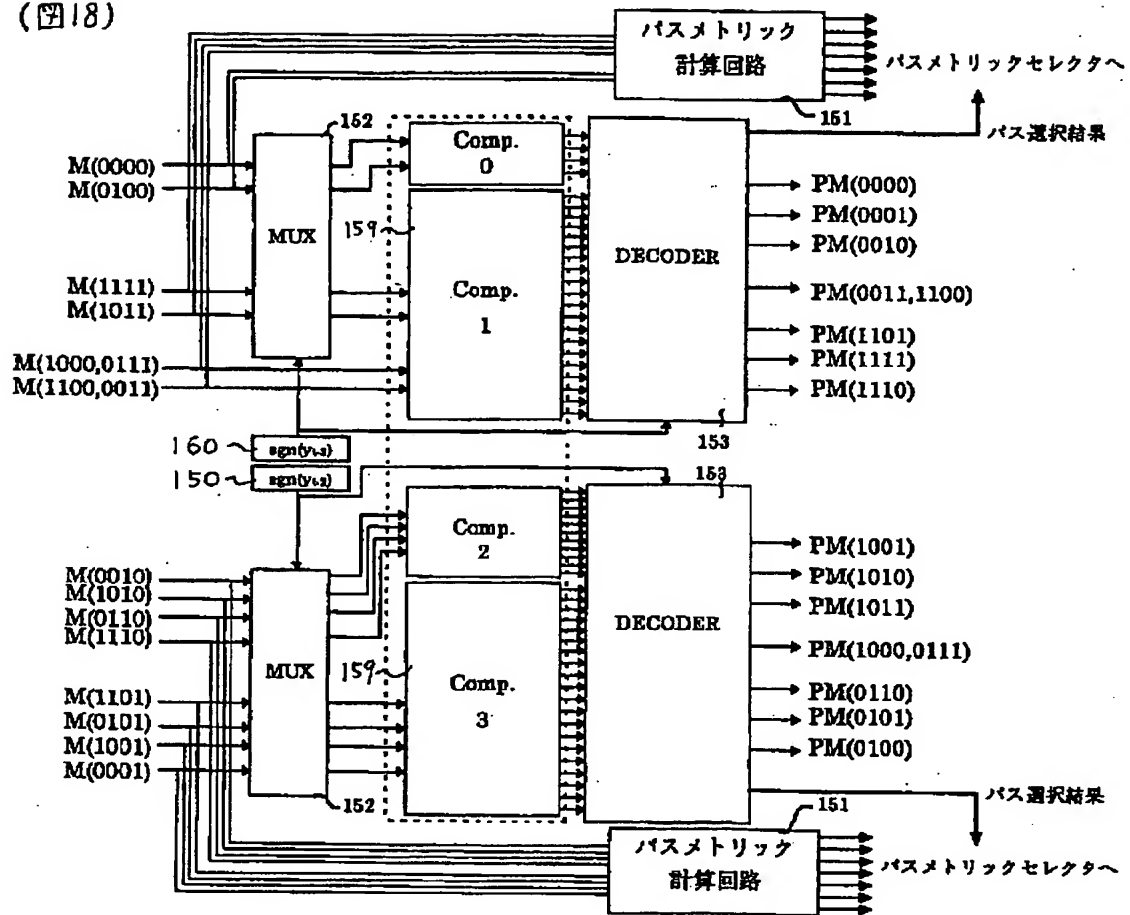
【図 17】



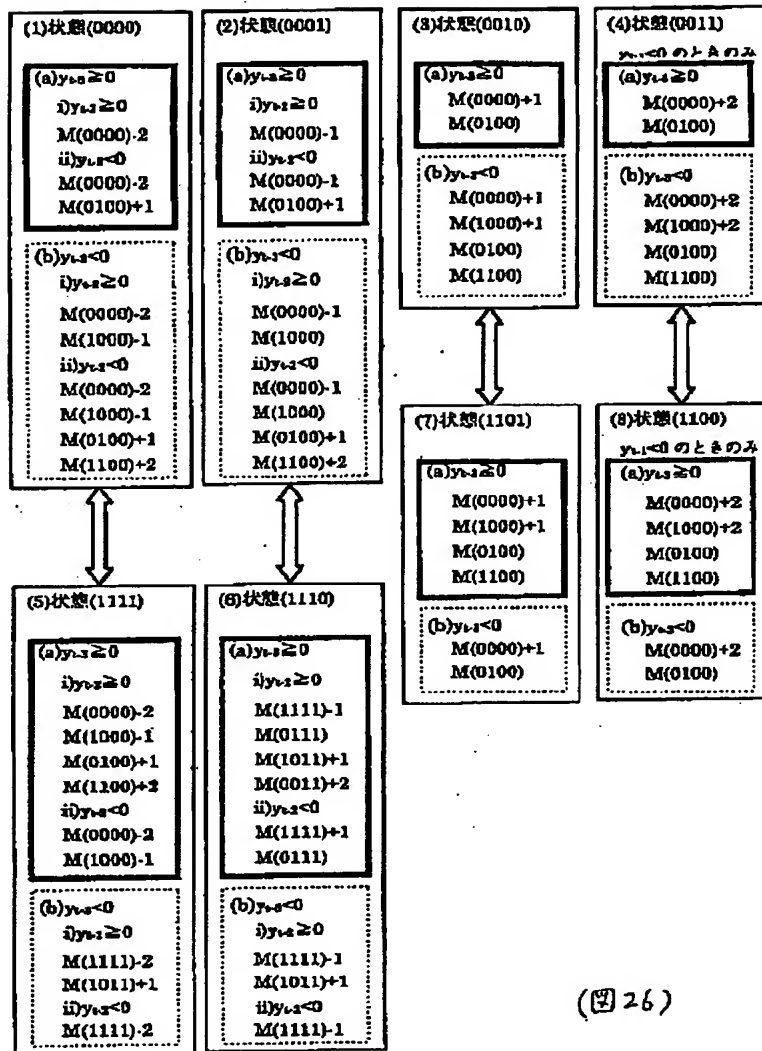
(図 17)

【図18】

(図18)

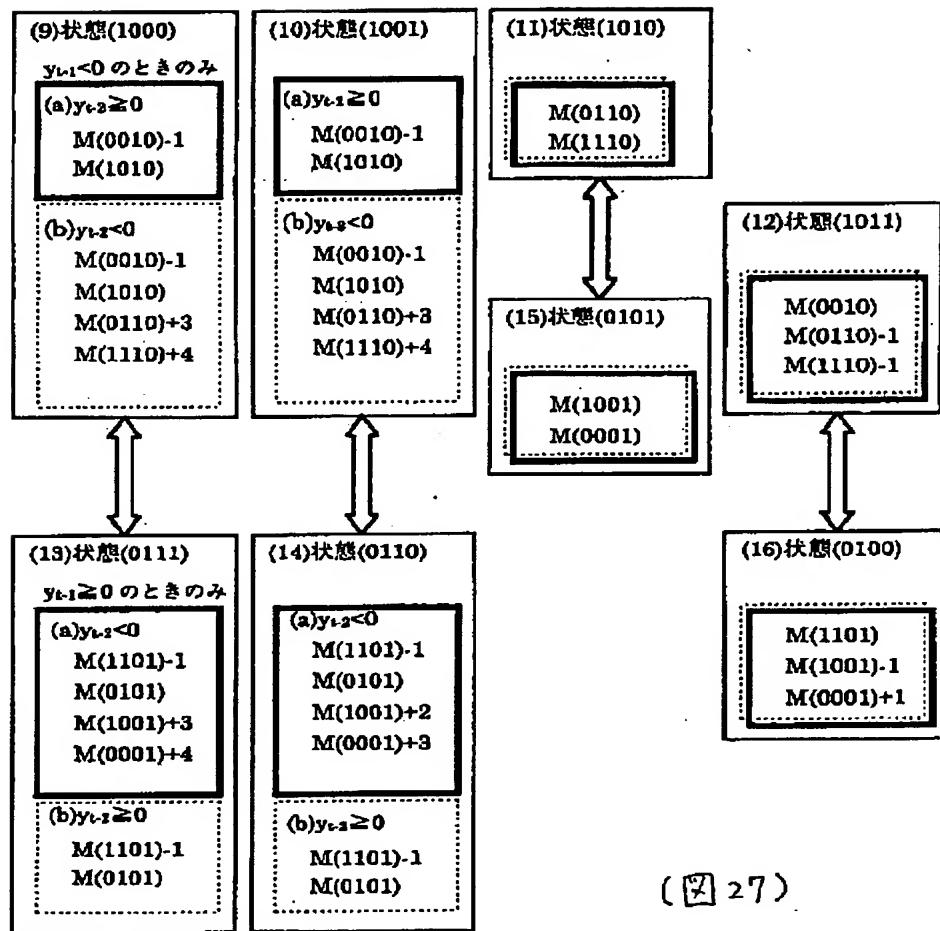


【図 26】



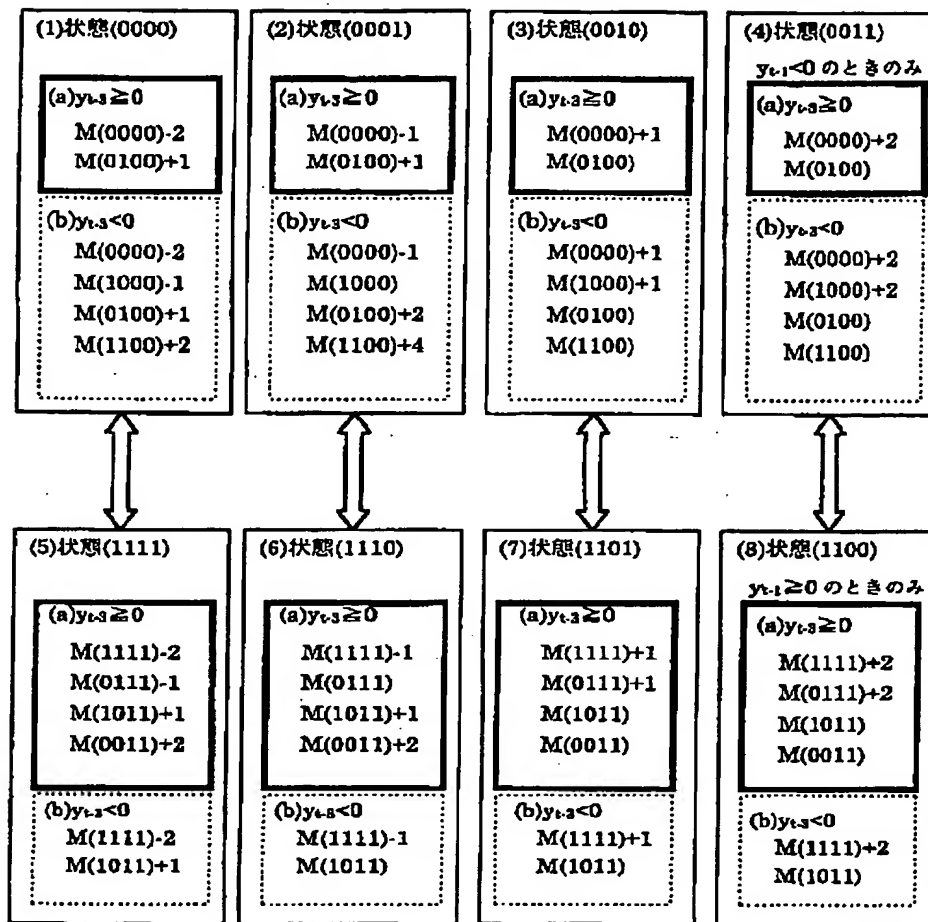
(図 26)

【図 27】



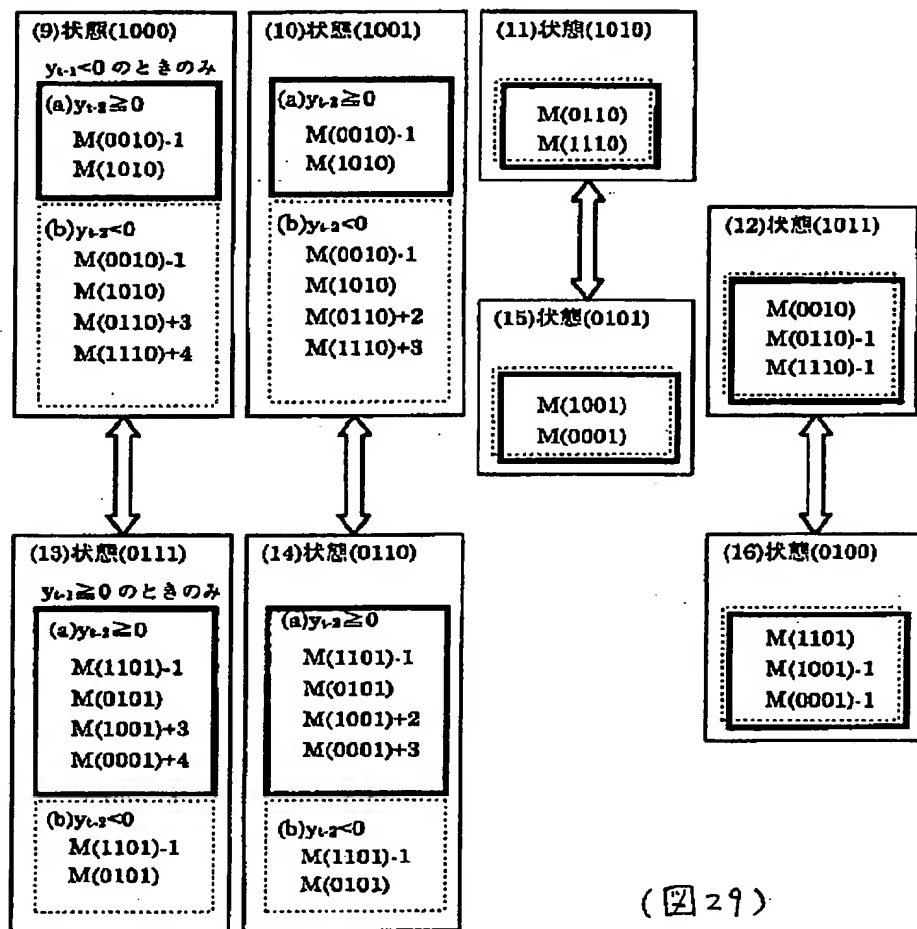
(図 27)

【図 28】



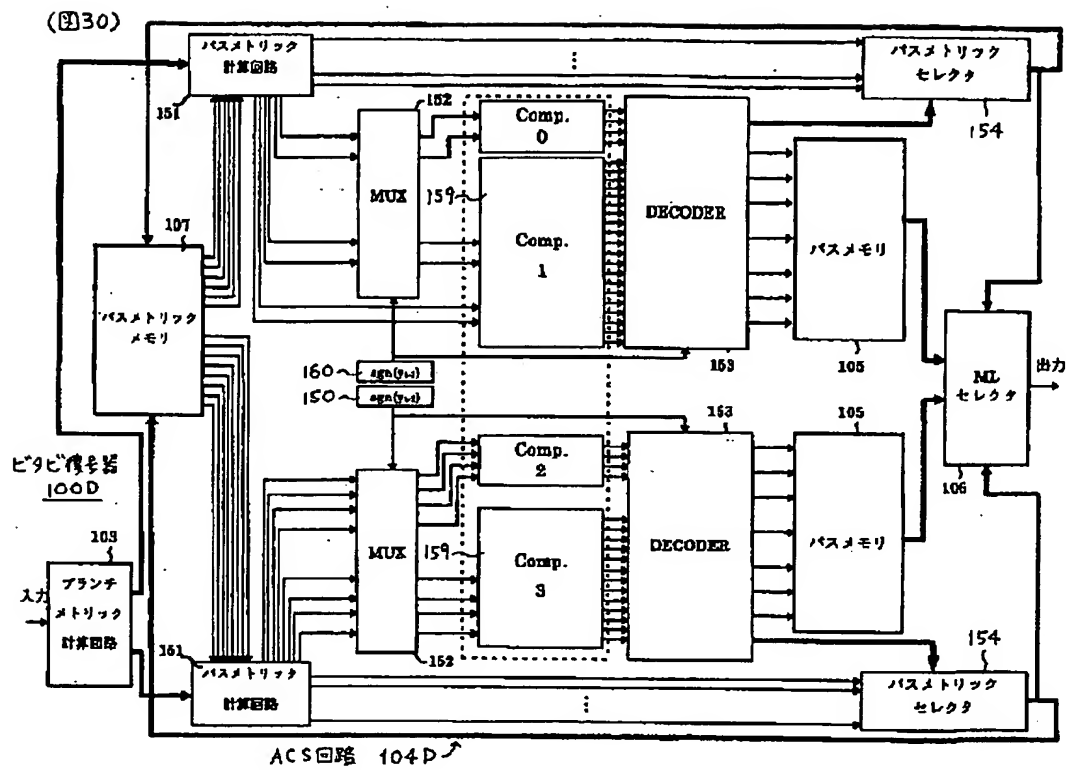
(図 28)

【図 29】

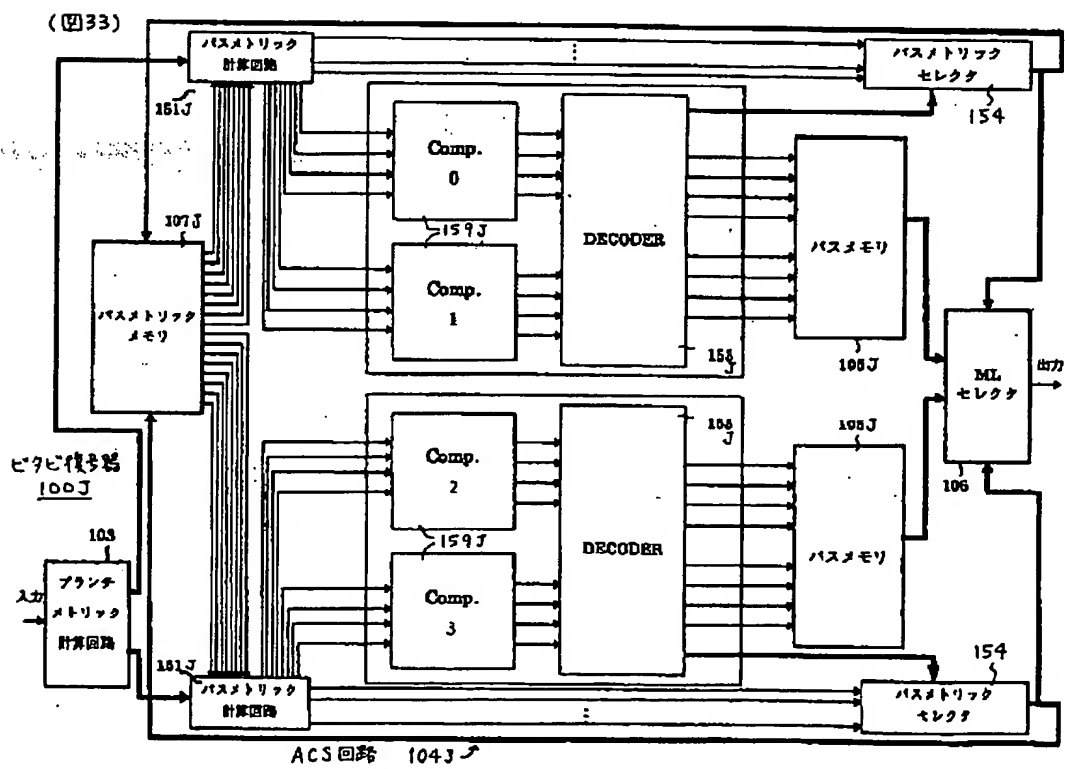


(29)

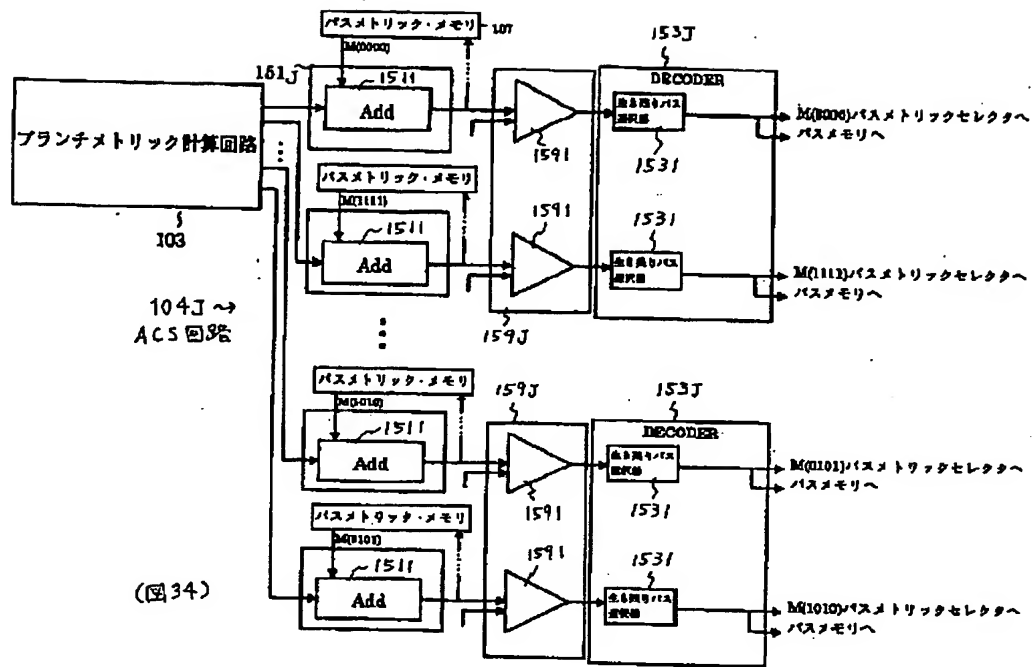
【図 30】



【図 33】



【図34】



フロントページの続き

(72)発明者 平井 達哉
神奈川県川崎市麻生区王禅寺1099番地 株
式会社日立製作所システム開発研究所内

(72)発明者 奈良 孝
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 三田 誠一
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内